

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 1月29日

出願番号
Application Number: 特願2004-021294

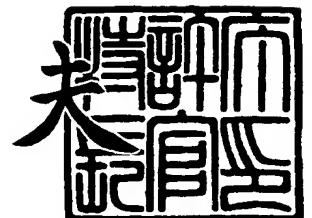
[ST. 10/C]: [JP 2004-021294]

出願人
Applicant(s): 三菱電機株式会社

2004年 2月19日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3011193

【書類名】 特許願
【整理番号】 545931JP02
【提出日】 平成16年 1月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
 【氏名】 高橋 英樹
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
 【氏名】 青野 眞司
【特許出願人】
 【識別番号】 000006013
 【氏名又は名称】 三菱電機株式会社
【代理人】
 【識別番号】 100089233
 【弁理士】
 【氏名又は名称】 吉田 茂明
【選任した代理人】
 【識別番号】 100088672
 【弁理士】
 【氏名又は名称】 吉竹 英俊
【選任した代理人】
 【識別番号】 100088845
 【弁理士】
 【氏名又は名称】 有田 貴弘
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-279054
 【出願日】 平成15年 7月24日
【手数料の表示】
 【予納台帳番号】 012852
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9806920

【書類名】 特許請求の範囲**【請求項 1】**

第 1 主面及び第 2 主面を有する第 1 導電型の半導体基板と、

前記半導体基板の前記第 1 主面側に形成されており、しかも、前記第 1 主面より前記半導体基板の内部に向けて形成された第 2 導電型のベース領域内に、そのオン動作時に前記第 1 導電型のチャネルを有する絶縁ゲート型トランジスタと、

前記第 1 主面上に形成されており且つ前記第 1 主面において前記絶縁ゲート型トランジスタの前記ベース領域と接触する第 1 主電極と、

前記半導体基板の前記第 2 主面上に形成されており且つ前記絶縁ゲート型トランジスタに対向する前記第 1 導電型の第 1 半導体層と、

前記半導体基板の前記第 2 主面上に形成されており且つ前記絶縁ゲート型トランジスタに対向する前記第 2 導電型の第 2 半導体層と、

前記第 1 半導体層上及び前記第 2 半導体層上に形成された第 2 主電極とを備えており、

前記第 2 主電極と、前記第 1 半導体層及び前記第 2 半導体層との界面は、前記第 1 主面と平行であり、

前記第 1 主面と前記界面との間の厚みは $200\ \mu\text{m}$ 以下であり、

前記第 1 半導体層及び前記第 2 半導体層の各々の厚みは共に $2\ \mu\text{m}$ 以下であることを特徴とする、

絶縁ゲート型バイポーラトランジスタ。

【請求項 2】

請求項 1 記載の絶縁ゲート型バイポーラトランジスタであって、

前記界面に対する、前記第 1 半導体層と前記第 2 主電極との第 1 界面の占有率は、 20% 乃至 70% の範囲内の値であることを特徴とする、

絶縁ゲート型バイポーラトランジスタ。

【請求項 3】

請求項 1 記載の絶縁ゲート型バイポーラトランジスタであって、

前記界面に対する、前記第 2 半導体層と前記第 2 主電極との第 2 界面の占有率は、 30% 乃至 80% の範囲内の値であることを特徴とする、

絶縁ゲート型バイポーラトランジスタ。

【請求項 4】

請求項 1 乃至 3 の何れかに記載の絶縁ゲート型バイポーラトランジスタであって、

前記第 1 主面と平行であり且つ前記第 1 半導体層及び前記第 2 半導体層の配列方向に該当する幅方向における、前記第 1 半導体層の第 1 幅と前記第 2 半導体層の第 2 幅との和は、 $50\ \mu\text{m}$ 乃至 $200\ \mu\text{m}$ の範囲内の値であることを特徴とする、

絶縁ゲート型バイポーラトランジスタ。

【請求項 5】

請求項 1 乃至 4 の何れかに記載の絶縁ゲート型バイポーラトランジスタであって、

前記半導体基板は、

前記ベース領域と前記半導体基板との界面から前記半導体基板内部に向けて形成された前記第 1 導電型の半導体層を備えており、

前記半導体層は、前記半導体層と界面を成す前記半導体基板の部分よりも高不純物濃度を有することを特徴とする、

絶縁ゲート型バイポーラトランジスタ。

【請求項 6】

請求項 1 乃至 5 の何れかに記載の前記絶縁ゲート型バイポーラトランジスタを、フリーホイールダイオードを内蔵したスイッチング素子として備えることを特徴とする、

インバータ回路。

【請求項 7】

第 1 導電型の半導体基板の第 1 主面側に MOSFET セルを形成し、

前記 MOSFET セル形成後における前記半導体基板の第 2 主面の内で前記 MOSFET

Tセルに対向する領域より、前記半導体基板内部に向けて、前記第1導電型の第1半導体層及び前記第1半導体層に隣接する第2導電型の第2半導体層を形成し、

前記第1及び第2半導体層が形成された前記第2主面上に、前記第1及び第2半導体層と接触した第2主電極を形成することを特徴とする、
絶縁ゲート型バイポーラトランジスタの製造方法。

【請求項8】

請求項7記載の絶縁ゲート型バイポーラトランジスタの製造方法であって、

前記第1及び第2半導体層形成後の前記半導体基板における前記第1主面上及び前記第2主面上に、第1主電極及び前記第2主電極をそれぞれ形成することを特徴とする、
絶縁ゲート型バイポーラトランジスタの製造方法。

【請求項9】

請求項7又は8に記載の絶縁ゲート型バイポーラトランジスタの製造方法であって、

前記MOSFETセル形成後であり且つ前記第1及び第2半導体層形成の前に、前記半導体基板を前記第2主面側から研磨して前記半導体基板の厚みを $200\mu\text{m}$ 以下に設定することを特徴とする、
絶縁ゲート型バイポーラトランジスタの製造方法。

【請求項10】

請求項9に記載の絶縁ゲート型バイポーラトランジスタの製造方法であって、

前記半導体基板の研磨後であり且つ前記第1及び第2半導体層形成の前に、前記半導体基板の前記第2主面側部分にマスクアライメント用マークとなる凸部を形成することを特徴とする、
絶縁ゲート型バイポーラトランジスタの製造方法。

【書類名】明細書

【発明の名称】絶縁ゲート型バイポーラトランジスタ及びその製造方法、並びに、インバータ回路

【技術分野】

【0001】

この発明は、絶縁ゲート（MOS構造）を有するバイポーラトランジスタに関しており、特にフリーホイールダイオード（以下、単にFWDとも称す）を内蔵した絶縁ゲート型バイポーラトランジスタ（Insulated Gate Bipolar transistor: 以下、単にIGBTと称す。尚、この種のIGBTは逆導通型IGBTとも称される。）の構造、及び、その製造技術に関する。そして、本発明に係るIGBTは、モータ等の負荷駆動用のインバータ回路におけるFWD内蔵型スイッチング素子として、産業上利用される。

【背景技術】

【0002】

モータ等を駆動するパワーエレクトロニクスにおいて、定格電圧が300V以上の領域では、IGBTがその特性からスイッチング素子として使用されており、しかも、当該スイッチング素子に並列接続された環流用ダイオード（FWD）が使用されている。

【0003】

従来の一般的なIGBTにおいては、P+コレクタ層の上にN+バッファ層が形成され、N+バッファ層の上にN層が形成され、N層の表面上には、P型の不純物を拡散することによりPベース領域が選択的に形成されており、更に、このPベース領域の表面上には、高濃度のN型の不純物を選択的に拡散することによりソース領域が形成されている。Pベース領域及びソース領域は、ゲートポリシリコンをマスクとして、形成される。この部分が2重拡散になっているので、この構造を、Double Diffuse MOS、略してDMOSと呼ぶ。Pベース領域及びソース領域が形成されたN層の上面には、ゲート酸化膜が形成されており、ゲート絶縁膜の上部には、ポリシリコンのゲート電極が形成されており、ゲート電極下のPベース領域がチャネル領域となる。N+ソース領域の表面の一部領域上とPベース領域の表面の中央部領域上とはエミッタ電極が形成されており、N+基板の裏面にはコレクタ電極が形成されている。

【0004】

又、他の従来例に係るIGBTとしては、MOSのゲート電極がシリコン内部に形成されたトレンチ（溝）内部に形成されているトレンチ型のものもある。

【0005】

ここで、インバータ回路は、直流と交流との変換機である。一般的なインバータ回路は、スイッチング素子である上記IGBTと、フリーホイールダイオード（FWD）とで構成されており、IGBTとそれに並列接続されたフリーホイールダイオードとから成る1組の回路要素を総計4個又は6個組合せ使用することで、インバータ回路は、2相又は3相の交流モータを制御している。より具体的には、インバータ回路は、直流電源に接続された直流端子を有しており、各IGBTをスイッチングさせることで、直流電圧を所定の周波数の交流電圧に変換し、当該交流電圧を負荷であるモータに給電する。

【0006】

【特許文献1】特開平6-196705号公報（図1）

【特許文献2】特開平7-153942号公報（図1）

【特許文献3】特開平6-53511号公報（図1）

【特許文献4】特開平2-126682号公報

【特許文献5】特開平8-116056号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記のインバータ回路においては、負荷であるモータが誘導性であるため、フリーホイールダイオードが必要である。この点を、詳述すれば、次の通りである。

【0008】

負荷の誘導性は電流により発生する磁界にエネルギーを蓄積する性質を有しており、電流の変化は、蓄積されるエネルギーの変化を意味する。以下では、負荷の誘導性のエネルギー蓄積能力を「L」と表現して記載する。負荷に流れている電流を遮断すると、Lに蓄積されているエネルギーが電流を遮断しようとする物に解放され、電流の変化を妨げ様とする。モータのLに蓄積されるエネルギーが瞬時に解放されると、IGBTの特性を損失させてしまうのに余りある程の大電力が発生するので、IGBTのスイッチング動作によってモータを流れる電流を急激に遮断しようとする、開放されるエネルギーにより、IGBTの著しい特性劣化が生じてしまう。

【0009】

そこで、IGBTのオフ中にモータに流れる電流をフリーホイールダイオードによって迂回環流させ、モータを流れる電流自体はスイッチングにより変化しない様にする。そのため、従来の一般的なインバータ回路においては、直流電源とモータとを繋ぎ、モータに電圧を印加していたIGBTがオフすると、モータを流れていた電流は、モータのLに蓄積されているエネルギーにより、フリーホイールダイオードを通して直流電流を逆流し、その結果、モータに逆の直流電圧が印加されるのと等価の状態が生じる。そして、IGBTにおけるオン動作時間とオフ動作時間との割合を変えると、直流電圧印加期間と逆流期間との割合が変わるため、平均的にモータに印加される電圧を制御することが可能となる。

【0010】

そこで、この割合を正弦波状に変化させれば、モータの電流をIGBTのスイッチングにより急激に遮断することなく、当該スイッチングにより直流電源から交流電圧を給電することが出来る。

【0011】

インバータ回路はこの様な動作を行うため、既述した様に、あるIGBTと逆直列に、即ち、あるIGBTと対になるIGBTに対して逆並列に、フリーホイールダイオードは接続されなければならない。

【0012】

この点、同じくスイッチング素子として用いられている従来のパワーMOSFETは、逆並列ダイオードを内蔵する構造を備えているため、この様なパワーMOSFETをインバータ回路のスイッチング素子として用いる場合には、別途、フリーホイールダイオードを接続する必要性は無い。しかしながら、パワーMOSFETが有する通電可能な電流密度は比較的低いため、パワーMOSFETは大電流の用途には不適である。

【0013】

従って、モータ等を駆動するためのインバータ回路のスイッチング素子としては、IGBTを利用せざるを得ない。ところが、IGBTは、パワーMOSFETの基板におけるN+層のドレイン電極側部分をP+層に変更して成る構造を有するため、裏面のP+コレクタ層とN+バッファ層との間にダイオードが形成される。このダイオードの耐圧（順方向降下電圧 V_f ）は、20V～50V程度の範囲内の値となる。この様な耐圧は、フリーホイールダイオードとして備えるべき耐圧と言う観点から見た場合には、高すぎる。この様な高い耐圧を有するバリアの存在により、環流時に発生する電圧による発熱のために、IGBTの顕著な特性欠損が生じ得る。このため、IGBTは、通電可能な電流密度の観点から言えばパワーMOSFETよりも有利であるものの、MOSFETの様にフリーホイールダイオードを内蔵することが構造上出来ない結果、IGBTをスイッチング素子として用いる従来のインバータにおいては、IGBTとは別個に製造したフリーホイールダイオードを別途接続することが、必須であった。

【0014】

このため、IGBTはパワーMOSFETよりも後に開発されたことから、パワーMOSFETと同様に、IGBTの内部にダイオードを取り込むことが、技術上の懸案事項とされ、これまで幾つかの解決策が提案されて来た。

【0015】

例えば、特願平7-153942号公報の先行公知文献で提案されている構造では、IGBTの裏面のP+コレクタ層を突き抜けるN+層を形成することで、ダイオードがIGBTの内部に取り込まれている。又、特願平6-53511号公報の先行公知文献で提案されている構造では、裏面のP+コレクタ層をN+層内に部分的に形成することで、ダイオードがIGBTの内部に取り込まれている。しかし、これらの構造は、何れも、アイデアの域を脱しておらず、実際の製品に適用されるまでには至っていない。その理由は、次の点にある。即ち、現在製品化されているIGBTの大部分においては、逆方向耐圧が600Vあるいは1200Vであり、耐圧を保持するのに必要なN-層の厚みとしては、 $50\mu\text{m} \sim 150\mu\text{m}$ の範囲内の値であるのに対して、ウエハプロセス(W/P)に必要なウエハの厚みは $250\mu\text{m} \sim 600\mu\text{m}$ の範囲内の値となる。このため、裏面側のP+コレクタ層の厚みは、 $100\mu\text{m}$ 以上となる。従って、特願平7-153942号公報の構造においては、P+コレクタ層を突き抜ける構造を有するN型の多結晶領域を現実形成することは困難である。逆に、後者の特願平6-53511号公報の構造においては、W/Pにおいて電流を流し得る構造を実現するには、N-層の厚みが厚くなりすぎ、IGBT特性のメリットを発揮させることが却って出来なくなると言う問題点がある。

【0016】

又、IGBT特性改善のために、N-層の一部をコレクタ電極に接続する構造が、特開平2-126682号公報に提示されているが、そこにおけるダイオードは、その特性が十分でないために、使用に適しないものであるため、このダイオードを動作させなくする構造が開示されている。

【0017】

更に、特開平6-196705号公報の先行公知文献においても、同様の構造が開示されている。特開平6-196705号公報では、内蔵させたダイオードのリカバリー特性を改善するため、表面のP層にP-層を形成する構造が開示されている。又、N-層の厚さは $50\mu\text{m}$ であり、P+コレクタ層の厚さは $20\mu\text{m}$ であると、示されている。又、同公報においては、その製造方法として、N-基板をスタートとして、裏面側のP+コレクタ層とN+カソード層とを形成し、その後、表面のMOSFETを形成することが、記載されている。この製造方法では、 $80\mu\text{m}$ 程度のウエハ厚でW/Pの全ての工程を流す必要があるため、W/P途中のウエハの扱いが非常に難しいと言う問題点がある。

【0018】

本発明はこの様な技術状況を打破すべく成されたものであり、その目的とするところは、FWD内蔵型IGBTにおいて、IGBT及びFWDのそれぞれの電気的特性を共に実用的な良好なレベルに改善し得る構造及びその製造技術を提供する点にある。

【課題を解決するための手段】

【0019】

本発明の主題に係る絶縁ゲート型バイポーラトランジスタは、第1主面及び第2主面を有する第1導電型の半導体基板と、前記半導体基板の前記第1主面側に形成されており、しかも、前記第1主面より前記半導体基板の内部に向けて形成された第2導電型のベース領域内に、そのオン動作時に前記第1導電型のチャネルを有する絶縁ゲート型トランジスタと、前記第1主面上に形成されており且つ前記第1主面において前記絶縁ゲート型トランジスタの前記ベース領域と接触する第1主電極と、前記半導体基板の前記第2主面上に形成されており且つ前記絶縁ゲート型トランジスタに対向する前記第1導電型の第1半導体層と、前記半導体基板の前記第2主面上に形成されており且つ前記絶縁ゲート型トランジスタに対向する前記第2導電型の第2半導体層と、前記第1半導体層上及び前記第2半導体層上に形成された第2主電極とを備えており、前記第2主電極と、前記第1半導体層及び前記第2半導体層との界面は、前記第1主面と平行であり、前記第1主面と前記界面との間の厚みは $200\mu\text{m}$ 以下であり、前記第1半導体層及び前記第2半導体層の各々の厚みは共に $2\mu\text{m}$ 以下であることを特徴とする。

【0020】

以下、この発明の主題の様々な具体化を、添付図面を基に、その利点と共に、詳述する。

【発明の効果】

【0021】

この発明の主題は、環流ダイオードを内蔵した絶縁ゲート型バイポーラトランジスタにおける、IGBTとしての電気的特性($V_{CE(sat)}$)及びダイオードとしての電気的特性(V_f)の両方を、共に相対的に低い実用的レベル値に維持することが出来ると言う効果を奏する。

【0022】

より詳細には、第2半導体層が第2主面に占める比率が30%以上乃至80%の範囲内にあるので、IGBTの $V_{CE(sat)}$ を相対的に低いレベルに抑えることが出来る。あるいは、第1半導体層が第2主面に占める比率が20%以上乃至70%の範囲内にあるので、ダイオードの V_f を相対的に低いレベルに抑えることが出来る。そして、第1半導体層の幅と第2半導体層の幅との和が $50\mu m$ 以上の値に制御されているので、IGBTの $V_{CE(sat)}$ 特性及びダイオードの V_f 特性を共に実用的且つ相対的に低いレベルに抑えることが出来る。

【発明を実施するための最良の形態】

【0023】

図1は、従来のインバータ回路における、スイッチング素子と当該スイッチング素子に逆並列接続されるフリーホイールダイオードとの2チップから成る回路要素に、本発明に係るフリーホイールダイオード内蔵型のIGBTを適用したときのインバータ回路の構成を示す図である。即ち、本インバータ回路においては、スイッチング素子であるIGBTとフリーホイールダイオード(FWD)とで構成される領域が、1チップで、換言すれば、新構造のIGBTのみで、構成される。

【0024】

尚、図1の回路における実動作は、従来のものと同一である。即ち、本回路が、適当な組み合わせから成る3相分のIGBTをオンに制御して直流電源とモータ負荷Mとを互いに接続させると、直流電圧がモータMに印加され、次第に電流が増加する。その後、本回路が、オン状態にある各IGBTをオフに制御すると、Lに蓄積されたエネルギーにより電流が流れ続け様とするが、先にオンしたIGBTと直列に接続された他方のIGBTが逆方向に電流を流すため、モータMは直流電源に逆接続された状態となり、モータ電流は、急激に遮断されることなく、流れ続けると共に、Lに蓄積されたエネルギーは次第に直流電源に返され、電流は次第に減少する。

【0025】

この様に、1チップのIGBTで以ってインバータ制御が可能となり、インバータを制御する半導体装置の小型化が達成される。

【0026】

以下においては、この発明の本質部分であるフリーホイールダイオード内蔵型IGBTの特徴的構造と、その新規な製造方法とを、図面に基づき記載する。

【0027】

(実施の形態1)

図2は、本実施の形態の一例であるFWD内蔵型IGBTの構造の一部分を示す縦断面図であり、図2中、方向Xはシリコンウエハのウエハ幅方向であり、方向Yはウエハ厚み方向である。図2の半導体装置は、DMOS構造のMOSFETセルを有するFWD内蔵型IGBTに対して、以下に記載する本実施の形態の特徴を適用したものである。

【0028】

先ず、本半導体装置のシリコンウエハは、1)その中核部として、第1主面1S1及び第2主面1S2を有し且つ第1導電型(ここではN型)の不純物を有するN-型半導体基板(N-層とも称す)1と、2)半導体基板1の第1主面1S1側に、つまり、第1主面1S1上及び第1主面1S1より所定の深さまでの半導体基板部分内に、形成された、絶

縁ゲート型トランジスタ（ここではN型チャネルを有するMOSFET）のセルとを有する。即ち、当該絶縁ゲート型トランジスタは、第1主面1S1より上記深さまで半導体基板1の内部に向けて形成された第2導電型（ここではP型）のベース領域2内に、そのオン動作時に第1導電型のチャネル（N型チャネル）を形成する。より具体的には、本装置における絶縁ゲート型トランジスタセルは、I) P型の不純物を拡散することによりN-基板1の第1主面1S1下方に選択的に形成されたPベース領域2と、II) 高濃度のN型の不純物をPベース領域2の表面より同領域2の内部に対して選択的に拡散することにより形成されたN+ソース領域3と、III) N-基板1の第1主面1S1の中で、Pベース領域2のエッジ部とソース領域3のエッジ部とで挟まれた領域、ソース領域3のエッジ部寄りのソース領域表面一部分、及びPベース領域2のエッジ部の外側部分から成る領域上に形成されたゲート酸化膜4と、IV) ゲート絶縁膜4の上側表面上に形成されたポリシリコンのゲート電極5と、V) ゲート酸化膜4及びゲート電極5の露出表面を被覆する層間絶縁膜6とから構成されている。そして、ゲート電極5直下のPベース領域2の部分が、チャネル領域となる。尚、Pベース領域2とソース領域3とは、ゲート酸化膜4をマスクとして形成される。

【0029】

更に、本半導体装置は、3) 層間絶縁膜6の上面を被覆する様に第1主面1S1上に形成されており、且つ、Pベース領域表面の中央部に該当する第1主面1S1の領域において上記絶縁ゲート型トランジスタのPベース領域2と電氣的に接触する第1主電極（ここではエミッタ電極）7と、4) 半導体基板1の第2主面1S2の中で上記絶縁ゲート型トランジスタに対向する第1領域上に、ウエハ幅方向Xに延在する様に形成されており、且つ、第1導電型の不純物を有する第1半導体層（ここではN+カソード層）8と、5) 半導体基板1の第2主面1S2の中で、上記第1領域に隣接すると共に上記絶縁ゲート型トランジスタに対向する第2領域上に、ウエハ幅方向Xに延在する様に形成されており、且つ、第2導電型の不純物を有する第2半導体層（ここではP+コレクタ層）9とを、有している。

【0030】

更に、本装置は、第1半導体層8上及び第2半導体層9上に形成された第2主電極（ここではコレクタ電極）10を有している。ここで、第2主電極10と、第1半導体層8及び第2半導体層9との界面IFは、第1主面1S1と平行である。この様に、N-基板裏面上方のコレクタ電極10は、P+コレクタ層9及びN+カソード層8に、それぞれ、第2界面IF2及び第1界面IF1を介して電氣的且つ機械的に接続されている。

【0031】

本装置の特徴的構成要素は、以下の点にある。

【0032】

先ず、C1) 第1主面1S1と界面IFとの間の厚み、即ち、ウエハ厚みDは、 $200\mu\text{m}$ 以下であり、C2) 第1半導体層8及び第2半導体層9の各々の厚みT8及びT9は、共に $2\mu\text{m}$ 以下である（例えば $0.5\mu\text{m}$ ）。そして、C3) 界面IFに対する、第1半導体層8と第2主電極10との第1界面IF1の占有率は、20%乃至70%の範囲内の値である、あるいは、界面IFに対する、第2半導体層9と第2主電極10との第2界面IF2の占有率は、30%乃至80%の範囲内の値である。

【0033】

更に、C4) 第1主面1S1と平行であり且つ第1半導体層8及び第2半導体層9の配列方向に該当するウエハ幅方向Xにおける、第1半導体層8の第1幅と第2半導体層9の第2幅との和は、 $50\mu\text{m}$ 乃至 $200\mu\text{m}$ の範囲内の値に設定されている。

【0034】

以上の通り、その厚さDが $200\mu\text{m}$ 以下の値に製造時に制御されたN-基板1の下面上に、共にその厚みが $2\mu\text{m}$ 以下に製造時に制御された、P+コレクタ層9とN+カソード層8とが、別々の半導体層として、しかも、両層8及び9の幅の総和が $50\mu\text{m}$ 乃至 $200\mu\text{m}$ の範囲内となる様に、形成されている。

【0035】

次に、図2のFWD内蔵型IGBTの動作について記載する。図2の構造において、エミッタ電極7とコレクタ電極10間に所定のコレクタ電圧VCEを印加し、且つ、エミッタ電極7とゲート電極5間に所定のゲート電圧VGEを印加する（ゲートをオンする）と、チャンネル領域がN型領域に反転し、Pベース領域2内に、N層1とN+層3とを電氣的に架橋するチャンネルが形成される。このチャンネルを通じて、エミッタ電極7より電子がN層1内に注入される。この注入された電子により、P+コレクタ層9とN層1間が順バイアスされ、P+コレクタ層9からホールが注入され、N層1の抵抗が大幅に下がり、IGBTの電流容量は増大する。本装置においては、N+カソード層8もP+コレクタ層9間に挟まれる態様でコレクタ電極10上に形成されているので、P+コレクタ層9のみがコレクタ電極上に全面的に形成されたFWD非内蔵型のIGBTと較べるとP+コレクタ層9からのホールの注入が起こりにくい、後述する通り、P+コレクタ層9のサイズを適正值に合わせることで、実用レベルでのIGBT動作を達成することは可能である。

【0036】

次に、本装置におけるIGBTのオン状態からオフ状態への移行動作について記載する。図2の構造において、オン状態時にエミッタ電極7とゲート電極5間に印加されたゲート電圧VGEを0Vに、又は、エミッタ電極7とゲート電極5間を逆バイアスにする（ゲートをオフする）と、N型に反転していたチャンネル領域がP領域に戻り、エミッタ電極7からの電子の注入のストップにより、P+コレクタ層9からのホールの注入も止まる。その後、N層1に溜まっていた電子とホールとは、それぞれ、コレクタ電極10及びエミッタ電極7へと抜けて行くか、あるいは、N層1内で互いに再結合して消滅する。オフ状態で、エミッタ電極7とコレクタ電極10間に印加出来るコレクタ電圧VCEは、N層1の不純物濃度と厚みとによって、決定される。

【0037】

又、本装置においては、N+カソード層8が、N-基板下面1S2上に、両P+コレクタ層9に挟まれる態様で、形成されている。この構造に伴い、負荷のLに蓄積されたエネルギーによって、本IGBTに、極性が逆の電圧VECが印加されると、N層1を挟んでN+カソード層8と第1主面1S1側のPベース領域2とから形成されるPIN型接合ダイオードに、順方向電流が流れる。このN+カソード層8により形成される内蔵ダイオードが、従来の逆並列接続されていたフリーホイールダイオードの代わりとして機能するため、フリーホイールダイオードを接続しなくても、蓄積されたエネルギーによるIGBTの特性損失と言う事態が起こらなくなる。つまり、本装置のIGBTは、フリーホイールダイオードとしても動作する。

【0038】

更に、ダイオードがオンした状態において、当該IGBT（例えば高電位側のIGBT：図1参照）と直列に繋がったIGBT（例えば低電位側のIGBT：図1参照）がオンすると、当該IGBTに内蔵された本ダイオードのPベース領域2からのホールの注入が止まり、且つ、カソードN+層8からの電子の注入も止まる。その後、N-半導体基板1内に溜まっているキャリアたる電子とホールとは、それぞれ、コレクタ電極10及びエミッタ電極7へ抜けて行くか、あるいは、N-半導体基板1内で互いに再結合して消滅する。このとき、ダイオードがオン状態のときに流れていた電流と逆向きの電流が流れる。この電流は「リカバリー電流」と呼ばれ、このリカバリー電流を少なくすることは、ダイオードに求められる特性である。

【0039】

<シミュレーションによる検証>

上記動作内容に関して、シミュレーションソフトとしてMEDICIを用いて、本装置の動作について検証した。その際のシミュレーションの対象となった構造は、図3に示す半導体構造である。即ち、不純物濃度 1×10^{19} であり且つ厚さ $3 \mu\text{m}$ のP層（ダイオードの順方向降下電圧Vfを算出する場合にのみ当該P層が適用される）、又は、不純物濃度

1E19であり且つ厚さ $1\mu\text{m}$ のN層（IGBTの飽和状態におけるコレクターエミッタ間電圧値 $V_{CE}(\text{sat})$ を算出する場合にのみ当該N層が上記P層に代えて適用される）の何れか一方が、N層の上側表面上に配設されており、N層の下側表面（裏面）上に、不純物濃度1E19で且つ厚さ $0.3\mu\text{m}$ のコレクタP層と、不純物濃度1E19で且つ厚さ $0.3\mu\text{m}$ のカソードN層が、それぞれ隣接する態様で配設されている。図3中のX及びY方向は、図1のX及びY方向にそれぞれ該当する。本シミュレーション構造においては、コレクタP層及びカソードN層が共にウエハプロセス（W/P）の最後の段階において実際には製造される点を考慮して、両層の厚みは共に $0.3\mu\text{m}$ と設定されている。尚、本願発明者の実施品の一例では、コレクタP層及びカソードN層の厚みは共に $0.5\mu\text{m}$ 程度である。従って、実際のシミュレーションにおいて内蔵型ダイオード及びIGBTの各々のオン電圧を算出するに当たっては、一方で、1）図3の最上層が上記P型表面層で以って構成され且つ+電位が上記P型表面層に印加されているものと想定した上で、ダイオードの順方向降下電圧 V_f が計算され、他方で、2）図3の最上層が上記N型表面層で以って構成され且つ最下層のコレクタP層に+電位が印加されているものと想定した上で、IGBTの飽和状態におけるコレクターエミッタ間電圧値 $V_{CE}(\text{sat})$ が計算された。

【0040】

先ず、図3に示される構造において、コレクタP層及びカソードN層がN層裏面上に幅方向Xに関して1/2ずつ形成されているものとして（従って、両層の幅寸法は互いに等しい）、ウエハ厚みDを、 $50\mu\text{m}$ から $500\mu\text{m}$ までの範囲内で変更したときの、IGBTの飽和状態におけるコレクターエミッタ間電圧値 $V_{CE}(\text{sat})$ と、IGBT内のダイオードの順方向降下電圧 V_f とを算出した。そのときの両電圧値 $V_{CE}(\text{sat})$ 及び V_f のウエハ厚み依存性を、図4に示す。図4において、白枠内の $10\mu\text{m}$ 、 $50\mu\text{m}$ 、 $100\mu\text{m}$ 、 $200\mu\text{m}$ の各値は、コレクタP層の幅寸法と隣接するカソードN層の幅寸法との総和W（図3参照）たるセルサイズの値を示している。従って、図4は、両電圧値 $V_{CE}(\text{sat})$ 及び V_f のウエハ厚み依存性のみならず、セルサイズ依存性をも示している。図4より理解される通り、 $V_{CE}(\text{sat})$ と V_f とは共に、ウエハ厚み（実質的にはN層の厚み）の増大と共に増加しており、しかも、ウエハ厚みが $200\mu\text{m}$ を越えると、急激に $V_{CE}(\text{sat})$ と V_f とが共に急上昇している。ここで、通常必要なN層の厚みは、保持耐圧が 600V の場合では $50\mu\text{m}$ 程度であり、 1200V の場合だと $100\mu\text{m}$ 程度であり、概ね、 $50\mu\text{m}$ ～ $150\mu\text{m}$ の範囲内の値である。そして、従来のIGBTでは、通常、ウエハ厚みは $250\mu\text{m}$ ～ $600\mu\text{m}$ の範囲内の値であり、P+コレクタ層の厚みは比較的厚く設定されている。図4の電気的特性結果より明らかに結論し得る点は、FWD内蔵型IGBTにおいては、「IGBT+ダイオード」の構造を、 $200\mu\text{m}$ を越える厚みのウエハ上に作成することは、IGBTとダイオードとの性能を考える上で深刻な問題を惹起させるので、ウエハ厚みを少なくとも $200\mu\text{m}$ 以下に設定する必要性があるということである。

【0041】

次に、N層の裏面に形成するコレクタP層とカソードN層との幅方向に関する最適化を検討するために、コレクタP層とカソードN層とのトータル幅Wを $10\mu\text{m}$ 、 $50\mu\text{m}$ 、 $100\mu\text{m}$ 及び $200\mu\text{m}$ の各4仕様に設定した上で、ウエハ厚みDを $50\mu\text{m}$ 、 $100\mu\text{m}$ 、 $200\mu\text{m}$ 、及び $500\mu\text{m}$ と順次に変更し、コレクタP層とカソードN層の比率（セルサイズW中に占める各層の配分率）を各値に振り分けた場合における、両電圧 $V_{CE}(\text{sat})$ 及び V_f の算出結果を、図5乃至図8の各図面に示す。尚、図5乃至図8の各図面における横軸は、コレクタP層9の占有率Pを示している。従って、図5乃至図8の各図面における横軸の値Pを100%から差し引いた値は、逆に、カソードN層8の占有率（ $100-P$ ）を与える。図5～図8より明らかな通り、コレクタP層9の占有率Pが少なくなると（逆に言えば、カソードN層8の占有率が増大すると）、又、カソードN層8の比率が少なくなると（逆に言えば、コレクタP層9の比率が増大すると）、IGBTの電圧 $V_{CE}(\text{sat})$ とダイオードの電圧 V_f とが共に上昇するという傾向がある。特

に、ウエハ厚みが $500\mu\text{m}$ の時は、セルサイズ W を変えても両電圧値 $V_{CE}(\text{sat})$ 及び V_f は共に相対的に高く、ウエハ厚みが $500\mu\text{m}$ のデバイスは、電気的特性上、実使用に向いていないと、評価し得る。これらの図面より、ウエハ厚み D を $200\mu\text{m}$ 以下に設定した場合において、IGBTとダイオードとを1チップ内に取り込んだ、電気的特性の良好な、実使用可能なデバイスを提供するためには、コレクタP層9の比率ないしは占有率は30%以上80%以下の範囲内の値であることが望ましく、又、カソードN層8の比率ないしは占有率は20%以上70%以下の範囲内の値であることが望ましいと、言える。

【0042】

上記結果より求めたセルサイズ W と両電圧 $V_{CE}(\text{sat})$ 及び V_f との関係を、図9に示す。図9において、括弧内の各値 $50\mu\text{m}$ 、 $100\mu\text{m}$ 、 $200\mu\text{m}$ 、 $500\mu\text{m}$ は、ウエハ厚み D を示す。図9より明らかな通り、セルサイズ W (図3) が $50\mu\text{m}$ 以上の範囲においては、各ウエハ厚み D (実質的にはN層の厚みで決まる) に対して、両電圧値 $V_{CE}(\text{sat})$ 及び V_f の各々は共にセルサイズ依存性を呈しなくなり、ほぼ同じレベルを維持し続ける。従って、ウエハ厚み $D \leq 500\mu\text{m}$ ないしはウエハ厚み $\leq 200\mu\text{m}$ においては、幅方向 X におけるセルサイズ W を $50\mu\text{m}$ 以上に設定するのが、IGBT及びFWDの電気的特性の観点から見て望ましいと、結論付け得る。

【0043】

<変形例1>

図2の構造に代えて、図10に示す様な変形を行っても、同様な作用効果が達成される。図10においては、ベース領域2とエミッタ電極7との界面直下に位置する裏面上半導体層は第2半導体層9となり、図2と比較して、第1及び第2半導体層8及び9の配設位置が逆転している。

【0044】

<変形例2>

図2又は図10の構造に代えて、図11に示す様な変形を行っても、基本的に同様な作用効果が得られる。図11においては、第1半導体層8と第2半導体層9との間にN層1の裏面側一部が介在している。このN層部分の幅方向 X における寸法 W_1 及び W_2 のセルサイズ中に占める比率によっては、I) コレクタP層9の占有率を30%以上80%以下の範囲内の値に設定したときには、カソードN層8の占有率は図2ないしは図3における場合の比率20%~70%よりも狭まる。逆に、II) カソードN層8の占有率を20%以上70%以下の範囲内の値に設定したときには、コレクタP層9の占有率は図2ないしは図3における場合の比率30%~80%よりも狭まる。この変形例においても、セルサイズの範囲は、図9に基づき設定される。

【0045】

<変形例3>

図2、図10及び図11においてはDMOS構造のMOSFETセルに本発明の特徴を適用したものであるが、既述した本発明の特徴(ウエハ厚み D の範囲限定、第1及び第2半導体層8&9の厚み範囲の限定、第1及び第2半導体層8&9の各々における占有率の限定、及び、セルサイズの範囲限定)を、そのまま、トレンチ型MOS構造の絶縁ゲートトランジスタ(MOSFET)セルを有するFWD内蔵型IGBTに対して適用しても良い。この適用例を、図12に示す。本構造においても、単にMOSFETセル構造が変更されるにすぎないので、実施の形態1、その変形例1及び2において記載したものと同様の作用効果が得られる。

【0046】

尚、トレンチ型MOSFETセルを有するIGBTにおいては、DMOS構造型のMOSFETセルを有するIGBTと比較して、寄生トランジスタが動作しにくくなるという利点がある。これは、ゲートを溝内に形成すると、表面に多数形成されているMOS構造の密度が上がり、MOSFETセルに流れる電流密度が下がるためである。従って、図12のFWD内蔵型IGBTにおいては、そのセルの構造に起因して、図2の装置と比較し

て IGBT の $V_{CE}(\text{sat})$ がより一層下がり、ダイオードのリカバリ電流もより一層下がる。

【0047】

又、本発明の上記特徴点を、V字型の MOSFET セルを有する FWD 内蔵型 IGBT に適用しても良い。

【0048】

(実施の形態 2)

図 13 は、本実施の形態に係る FWD 内蔵型 IGBT を示す縦断面図である。図 13 の装置は、N 層 1 内にまで形成された各溝の中にゲート電極が充填形成されたトレンチ型 MOSFET セルを備える図 12 の装置に対して、隣合うトレンチ (溝) で挟まれ且つ P ベース層 2 と N 層 1 とで挟まれた N 層 11 を追加した構造を有している。その他の構造は、図 12 の構造と同一である。

【0049】

図 13 の装置における IGBT としての動作は、図 12 の IGBT としての動作と基本的に同一である。しかしながら、図 13 の装置では、P ベース領域 2 の直下に N 半導体基板 1 よりも不純物濃度の高い N 層 11 が配設されているので、裏面の P+ コレクタ層 9 より N 層 1 内に注入されたホールは、その拡散の途中に存在する N 層 11 によって作られるポテンシャルバリアによって、その動きが妨げられる結果、P ベース領域 2 と N 層 11 との界面直下付近にホールが蓄積することとなる。このため、図 13 の構造によれば、IGBT の電圧値 $V_{CE}(\text{sat})$ を、N 層 11 が存在しない場合よりも、より低減することが出来る。

【0050】

そして、ターンオフの時には N 層 11 は空乏化されるので、オフ過程で N 層 11 は殆ど影響を与えることはない。

【0051】

これに対して、図 13 の構造がダイオードとして動作する場合には、N 層 11 は、P ベース領域 2 からのホールの注入を抑制する。一般に、ダイオードのリカバリ電流は、ダイオードのアノード近辺のキャリア密度に依存することが、知られている。このため、N 層 11 の存在によって、P ベース領域 2 からのホールの注入量が抑制されることでアノード近辺のキャリア密度が下がる結果、ダイオードがオン状態からオフ状態に移行する過程におけるリカバリ動作において、リカバリ電流のピーク値がより小さくなる。

【0052】

つまり、図 13 の N 層 11 の存在は、I) IGBT 動作時においては、N 基板 1 から P ベース領域 2 へのホールの動きを妨げることでオン電圧のより一層の低減化に大いに寄与し、II) ダイオード動作時においては、P ベース領域 2 から N 基板 1 へのホールの動きを妨げることになるため、アノード近辺のキャリア密度をより減少させてリカバリ特性の改善化を図ることに大いに寄与するのである。

【0053】

以上の様に、ゲートを溝内部に充填形成し且つ溝間に基板 1 よりも高濃度の N 層 11 を設けることで、IGBT 動作及びダイオード動作共に、特有の効果がもたらされるので、この N 層 11 を導入する技術は、IGBT とダイオードとを同一チップ内に形成する場合に、特に有効である。

【0054】

尚、N 層 11 を P ベース領域 2 と N 半導体基板 1 との間に挿入するという発想を、図 2 の構造に適用することも可能である。この様な適用例を、図 14 の縦断面図に示す。尚、図 2 の構造に対して P ベース領域 2 の底面周囲を取り囲む N 層 11 を設けるときには、N 層 11 を設けなときと比較して、耐圧が低下するという弱点が新たに生じる。

【0055】

この点、トレンチ型の図 13 の構造においては、N 層 11 を設けても耐圧の低下と言う問題が何等生じない。この意味でも、N 層 11 を図 12 の構造に適用した図 13 の構造が

持つ技術的意義は大きいと、言える。

【0056】

尚、N層11を一般的に表現すれば、次の通りとなる。即ち、半導体基板1は、ベース領域2と半導体基板1との界面から半導体基板1の内部に向けて形成された第1導電型の半導体層11を備えており、半導体層11は、半導体層11と界面を成す半導体基板1の部分のそれよりも高不純物濃度を有する。

【0057】

(実施の形態3)

本実施の形態に係るFWD内蔵型IGBTの製造方法の骨子は、1)第1導電型の半導体基板の第1主面側にMOSFETセル及びIGBT用第1主電極を形成し、2)当該MOSFETセル形成後における半導体基板を、その第2主面(第1主面に略平行に対向する表面)側より研磨して、半導体基板の厚みを200 μ m以下にし、3)研磨後の半導体基板の第2主面の内でMOSFETセルに対向する領域より半導体基板内部に向けて、第1導電型の第1半導体層及び当該第1半導体層に隣接する第2導電型の第2半導体層を形成し、4)第1及び第2半導体層形成後の半導体基板の第2主面上に、第1及び第2半導体層と接触したIGBT用第2主電極を形成すると言うものである。

【0058】

この様に、本実施の形態の製造工程によれば、比較的工程数が多いMOSFETセル製造工程の終了後に、換言すれば、ウエハプロセス全工程の後半段階において、半導体基板の第2主面側に第1及び第2半導体層を形成すれば良いので、半導体基板、第1半導体層及び第2半導体層の各厚みをFWD内蔵型IGBTの電気的特性を良好なものにすると言う観点から要求される所定の範囲内に制御し易く、且つ、シリコンウエハ自体の取り扱いを簡単化することが出来る。特に、上記工程2)の様に、第1主面側にMOSFETセルを設けた後、未だ第1半導体層及び第2半導体層が形成されていない第2主面側部分を研磨するだけで、所定の厚みの半導体基板を生成することが出来るので、MOSFETセル、第1半導体層及び第2半導体層の各構造を損傷させることなく、半導体基板の厚みを制御出来ると言う利点も、得られる。これらの利点をウエハプロセス全工程の観点から見た場合、本実施の形態は、従来の製造工程と比較して、総じて、FWD内蔵型IGBTの製造を容易化し得ると、評価し得る。

【0059】

以下、図面に基づき、上記骨子の具体化を詳述する。

【0060】

図15乃至図19は、図2に示されるFWD内蔵型IGBT装置の製造工程の各段階における装置構造を示す縦断面図である。

【0061】

先ず、図15に示す通り、N-基板1(第1導電型の半導体基板に該当)となるN型シリコン基板を用意する。この段階におけるウエハの厚みとしては、ウエハがその後のウエハプロセス(W/P)で加えられる様々な負荷に対して十分に耐え得る様な厚みとされている。例えば、500 μ m程度のウエハが、N-基板1として用いられる。この様な厚みを有するN型シリコン基板は、自ら生成しても良いし、あるいは、ウエハメーカーから購入しても良い。

【0062】

次に、図16に示す工程において、N-基板1の上側表面ないしは第1主面1S1側に、つまり、第1主面1S1上及び第1主面1S1からN-基板内部に、MOSFETのセル(各要素2, 3, 4, 5, 6より成る部分)を形成すると共に、N+層3で挟まれた第1主面1S1の領域上及び絶縁層6の表面上に、第1主電極7を形成する。尚、本工程には、既知のMOSFET製造方法が適用される。

【0063】

次に、図17に示す工程において、図16に示すN-基板1の下側表面ないしは第2主面1S2A側のN-基板1を研磨して、研磨後のN-基板1のウエハ厚を200 μ m以下

に設定する。その上で、研磨後のN-基板裏面ないしは第2主面1S2の内で、コレクタP層（第2半導体層）が形成されるべき第2領域より、ボロンをN-基板1内に部分的に注入する。

【0064】

次に、図18に示す工程において、研磨後の第2主面1S2の内でカソードN層（第1半導体層）となるべき第1領域より、リンをN-基板1内に部分的に注入する。

【0065】

その後、図19に示す工程において、リン注入後の第2主面1S2上に、第2主電極10を形成する。この際、第2主電極10を形成する際の熱処理によって、先に注入したボロンとリンとが活性化する。更に、その後、注入したボロン及びリンを活性化させるための熱処理（熱処理温度は450℃以下）を追加することも可能である。これにより、最大で約2μmの厚みを有する第1及び第2半導体層8及び9が、第2主面1S2側のN-基板1内に形成される。

【0066】

本製造方法では、所定の厚み（200μm以内）に研磨されて比較的薄い状態となったウエハを取り扱う工程が、製造方法の最後の段階における処理だけとなるので、特開平6-196705号公報に記載の従来工程と比べて、ウエハが薄い状態における処理が少なく済むので、製造時におけるウエハの割れ等の不良率発生を少なくすることが出来る。本願発明者は、P+コレクタ層9及びカソードN+層8の深さないしは厚みが例えば0.5μm程度となる様に、図17～図19に関して記載した全工程を制御している。

【0067】

ここで、図17及び図18の工程においては、コレクタP層9とカソードN層8とを形成する際に、それぞれの位置合わせが必要となる。この位置合わせ方法としては、例えば、両面マスクアライメントが可能な写真製版装置を利用することが出来る。特に、この写真製版装置を用いる場合には、位置合わせのために何らかの方策を製作中のデバイス側に対して施すことは必要でなくなり、表面たる第1主面1S1側にMOSFETセルを形成する際に使用したマスクアライメントのためのマーク（第1主面上のパターン）を、そのまま使用することが出来る。

【0068】

別の位置合わせ方法としては、図20及び図21に例示する様な変形例が考えられる。即ち、図17の工程においてコレクタP層を部分的に形成するに際して、図20に示す様に、P層を形成するためのレジストを形成する。次に、ボロンを注入する前に、図21に示す様に、レジスト周辺におけるN-層1の第2主面側部分をエッチングする。この際、次の写真製版を行う場合のマスクアライメント用マークを、形成する。即ち、エッチングで出来る第2主面凸部（エッチングパターン）が、ここで使用するマスクアライメント用マークとなる。その上でボロンを注入し、次に、図18に示す、カソードN層を部分的に形成する工程において、その際に必要なマスクアライメントを行うに当って、上記の通りに形成したマークを利用する。本方法によれば、両面マスクアライメント可能な写真製版装置を利用すること無く、コレクタP層9とカソードN層8とを形成する際に必要な位置合わせを達成することが出来る。

【0069】

尚、本実施の形態においては、コレクタP層9とカソードN層8とを形成する順序（図17と図18との順序）を入れ替えても良い。

【0070】

又、当然の事ながら、本実施の形態の製造方法は、図12の様なトレンチ型のFWD内蔵型IGBTにも適用可能である（単に、図16で用いられるMOSFET製造工程が既知のトレンチ型のものに置き換えられるだけにすぎない）。

【0071】

（実施の形態4）

本実施の形態に係るFWD内蔵型IGBTの製造方法の骨子は、1）第1導電型の半導

体基板の第1主面側にMOSFETセルを形成し、2) 当該MOSFETセル形成後における半導体基板を、その第2主面側より研磨して、半導体基板の厚みを $200\mu\text{m}$ 以下に設定し、3) 研磨後の半導体基板の第2主面の内でMOSFETセルに対向する領域より半導体基板内部に向けて、第1導電型の第1半導体層及び当該第1半導体層に隣接する第2導電型の第2半導体層を形成し、4) 第1及び第2半導体層形成後の半導体基板における第1主面上及び第2主面上に、IGBT用の、第1主電極及び第2主電極を、それぞれ形成すると言うものである。

【0072】

以下、図面を参照して、本実施の形態に係るFWD内蔵型IGBTの製造方法の一例を詳述する。

【0073】

図22乃至図27は、図2に示されるFWD内蔵型IGBT装置の製造工程の各段階における装置構造を示す縦断面図である。

【0074】

先ず、図22に示す工程において、N-基板1となるN型シリコン基板を、自ら製作あるいは購入することによって、用意する。

【0075】

次の図23に示す工程において、N-基板1の表面たる第1主面側に、MOSFETのセルを形成する。ここでは、実施の形態3とは異なり、第1主電極をこの段階においては形成しない。

【0076】

次の図24に示す工程において、先ず、第2主面側（裏面側）よりN-基板1を研磨して、その厚みを $200\mu\text{m}$ 以下に設定し、その上で、第2主面側のN-基板部分中、コレクタP+層となるべき領域に、ボロンを部分的に注入する。

【0077】

次の図25に示す工程において、第2主面側（裏面側）のN-基板部分中、カソードN+層となるべき領域に、リンを部分的に注入する。

【0078】

次の図26に示す工程において、 800°C 以上の温度で熱処理を行い、注入したボロン及びリンを活性化する。これにより、第2主面側（裏面側）のN-基板部分中に、互いに隣接し合ったP+コレクタ層9及びカソードN+層8が形成される。このときの両層8及び9の各厚みは、 $2\mu\text{m}$ 以下に制御される。

【0079】

最後に、図27に示す工程において、表面上と裏面上とにそれぞれ第1及び第2主電極7及び10を形成する。

【0080】

本実施の形態によれば、実施の形態3と比較して、第1及び第2主電極の何れも存在し無い状態で、ボロン及びリンを活性化するための上記熱処理を行うことが可能となるので、不純物の活性化率を大きくすることが出来る結果、ボロン及びリンをN-基板1内にイオン注入する際の注入量を実施の形態3と比較して少なく制御することが可能となる。しかも、実施の形態3では活性化後の不純物濃度に限界があるが、本実施の形態では、活性化後の不純物濃度の限界が比較的に高くなり、その分だけ、設計の自由度を高めることが出来る。以上を要すれば、本製造方法においては、第1主電極と第2主電極との形成前に、第1半導体層と第2半導体層の注入を行い、且つ、その後に 800°C 以上の熱処理を印加するので、第1半導体層8と第2半導体層9との製造マージンが増加する。

【0081】

尚、本実施の形態においても、コレクタP+層とカソードN+層とを形成する順序を入れ替えても良く、又、本実施の形態を図3の様なトレンチ型のFWD内蔵型IGBTにも適用可能であることは言うまでもない。

【0082】

(付記)

上記の各実施の形態においては、便宜上、NチャネルのFWD内蔵型IGBTについて一貫して記載しているが、当然の事ながら、本発明に係るFWD内蔵型IGBTはPチャネル型のものに適用出来る。この場合、P型半導体基板が「第1導電型の半導体基板」に該当し、IGBTのN型ベース領域が「第2導電型のベース領域」に該当し、コレクタ電極が「第1主電極」に該当し、エミッタP+層及びN+エミッタ層がそれぞれ「第1半導体層」及び「第2半導体層」に該当することになる。

【0083】

(第1及び第2半導体層の相互配置関係)

各実施の形態1～4において既述した、裏面側に共に位置する、第1半導体層（カソードN層）8及び第2半導体層（コレクタP層）9の平面的な乃至は2次元的な相互配置関係の具体例を、図28～図52の各々に示す。ここで、図28～図52の各々は、本半導体装置の裏面側から第2主電極（コレクタ電極）10を介して両半導体層8、9を透視した際の、両層8、9の配置構造を模式的に描写した平面図である。以下、図28～図52の各々に示される相互配置関係を簡潔に記載すれば、次の通りである。

【0084】

即ち、図28は、両層8、9が交互に紙面の左右方向Zに沿って延在しているストライプ構造の相互配置関係を成す場合を示しており、紙面中の断線I-Iに関する縦断面構造は例えば図2の縦断面構造に該当する。これに対して、図29は、両層8、9が交互に紙面の上下方向Xに沿って延在しているストライプ構造の相互配置関係を成す場合を示している。又、図30は、両層8、9が第1格子構造（各セルは、正形状を有し且つ互いに直交している）の相互配置関係を成す場合を示している。又、図31は、図30の場合と同じく、両層8、9が第2格子構造（但し、この場合には、各セルは任意の角度 θ にて相互にクロスしている）の相互配置関係を成す変形例を示している。又、図32は、両層8、9が第1アイランド構造（N層の島が四角形の形状を有する）の相互配置関係を成す場合を示しており、図33は、両層8、9が上記第1アイランド構造とは逆構成に該当する第2アイランド構造（P層の島が四角形の形状を有する）の相互配置関係を成す場合を示している。更に、図34は、両層8、9が第3アイランド構造（N層の島が任意形状を、例えば円形状を有する）の相互配置関係を成す場合を示しており、図35は、上記第3アイランド構造とは逆構成に該当する第4アイランド構造（P層の島が任意形状を、例えば円形状を有する）の相互配置関係を成す場合を示している。又、図36は、セル群が第1ハニカム構造（ここでは、P層とN層とが概ね左右方向Zに沿ってストライプ形状を成す）の相互配置関係を成す場合を示しており、図37は、セル群が第2ハニカム構造（ここでは、P層とN層とが概ね上下方向Xに沿ってストライプ形状を成す）の相互配置関係を成す場合を示しており、図38は、セル群が第3ハニカム構造（ここでは、P層とN層とが斜め方向（時計周りとは逆方向に+45度だけ傾いた方向）に交互に並ぶ）の相互配置関係を成す場合を示しており、図39は、セル群が第4ハニカム構造（ここでは、P層とN層とが斜め方向（時計周りに-45度だけ傾いた方向）に交互に並ぶ）の相互配置関係を成す場合を示している。又、図40は、第3格子構造（各セルは、長形状を有し、且つ互いに直交していると共に、上下方向Xに沿って並んでいる）の相互配置関係の場合を示しており、図41は、第4格子構造（各セルは、長形状を有し、且つ互いに直交していると共に、左右方向Zに沿って並んでいる）の相互配置関係の場合を示しており、図42は、第5格子構造（長形状を有するセルと正形状を有するセルとが、交互に且つ互いに直交していると共に、上下方向Xに沿って並んでいる）の相互配置関係の場合を示しており、図43は、第6格子構造（長形状を有するセルと正形状を有するセルとが、交互に且つ互いに直交していると共に、左右方向Zに沿って並んでいる）の相互配置関係の場合を示している。又、図44は、八角形と四角形との第1組合せ構造（ここでは、N層が八角形状を有し、P層が四角形状を有する）より成る相互配置関係の場合を示しており、図45は、図44の構造とは逆構成に該当する、八角形と四角形との第2組合せ構造（ここでは、P層が八角形状を有し、N層が四角形状を有する）より成る相互配置関係

の場合を示している。又、図46は、単位セルが第1三角形構造を成す相互配置関係の場合（三角形の底辺に沿う方向が左右方向Zに該当）を示しており、これに対して、図47は、単位セルが第2三角形構造を成す相互配置関係の場合（三角形の底辺に沿う方向が上下方向Xに該当）を示している。又、図48は、両層8, 9が第1四角アイランド構造（四角形状を有すると共に、N層8の島の中に位置するP層9を有する各単位セルが、全体的に、P層9の中に存在している）を成す相互配置関係の場合を示しており、逆に、図49は、両層8, 9が第2四角アイランド構造（四角形状を有すると共に、P層9の島の中に位置するN層8を有する各単位セルが、全体的に、N層8の中に存在している）を成す相互配置関係の場合を示している。更に、図50は、第1丸型アイランド構造（円形状を有すると共に、N層8の島の中に位置するP層9を有する各単位セルが、全体的に、P層9の中に存在している）を成す相互配置関係の場合を示しており、逆に、図51は、第2丸型アイランド構造（円形状を有すると共に、P層9の島の中に位置するN層8を有する各単位セルが、全体的に、N層8の中に存在している）を成す相互配置関係の場合を示している。又、図52は、局所的に見て上下方向Xに沿って延在するN層8とP層9とのストライプ構造からなる第1単位ユニットと、局所的に見て左右方向Zに沿って延在するN層8とP層9とのストライプ構造からなる第2単位ユニットとが、上下方向X及び左右方向Zに交互に配置されることによって全体的に格子状を成す相互配置関係の一例を示している。

【0085】

以上、本発明の実施の形態を詳細に開示し記述したが、以上の記述は本発明の適用可能な局面を例示したものであって、本発明はこれに限定されるものではない。即ち、記述した局面に対する様々な修正や変形例を、この発明の範囲から逸脱することの無い範囲内で考えることが可能である。

【図面の簡単な説明】

【0086】

【図1】本発明のFWD内蔵型IGBTを用いた電力変換回路を示す図である。

【図2】本発明の実施の形態1に係るFWD内蔵型IGBTの一部分を示す縦断面図である。

【図3】本発明の実施の形態1に係るFWD内蔵型IGBTを検証するために用いたシミュレーション用構造の縦断面図である。

【図4】本発明の実施の形態1に係るFWD内蔵型IGBTにおけるシミュレーション結果を示す図である。

【図5】本発明の実施の形態1に係るFWD内蔵型IGBTにおけるシミュレーション結果を示す図である。

【図6】本発明の実施の形態1に係るFWD内蔵型IGBTにおけるシミュレーション結果を示す図である。

【図7】本発明の実施の形態1に係るFWD内蔵型IGBTにおけるシミュレーション結果を示す図である。

【図8】本発明の実施の形態1に係るFWD内蔵型IGBTにおけるシミュレーション結果を示す図である。

【図9】本発明の実施の形態1に係るFWD内蔵型IGBTにおけるシミュレーション結果を示す図である。

【図10】本発明の実施の形態1に係るFWD内蔵型IGBTの変形例を示す縦断面図である。

【図11】本発明の実施の形態1に係るFWD内蔵型IGBTの他の変形例を示す縦断面図である。

【図12】本発明の実施の形態1に係るFWD内蔵型IGBTの更なる他の変形例を示す縦断面図である。

【図13】本発明の実施の形態2に係るFWD内蔵型IGBTの一部分を示す縦断面図である。

【図 14】本発明の実施の形態 2 に係る FWD 内蔵型 IGBT の変形例を示す縦断面図である。

【図 15】本発明の実施の形態 3 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 16】本発明の実施の形態 3 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 17】本発明の実施の形態 3 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 18】本発明の実施の形態 3 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 19】本発明の実施の形態 3 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 20】本発明の実施の形態 3 に係る FWD 内蔵型 IGBT の製造方法の変形例を示す縦断面図である。

【図 21】本発明の実施の形態 3 に係る FWD 内蔵型 IGBT の製造方法の変形例を示す縦断面図である。

【図 22】本発明の実施の形態 4 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 23】本発明の実施の形態 4 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 24】本発明の実施の形態 4 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 25】本発明の実施の形態 4 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 26】本発明の実施の形態 4 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 27】本発明の実施の形態 4 に係る FWD 内蔵型 IGBT の製造方法を示す縦断面図である。

【図 28】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 29】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 30】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 31】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 32】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 33】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 34】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 35】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 36】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 37】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 38】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 39】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 40】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 41】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 42】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 43】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 44】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 45】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 46】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 47】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 48】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 49】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 50】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【図 51】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

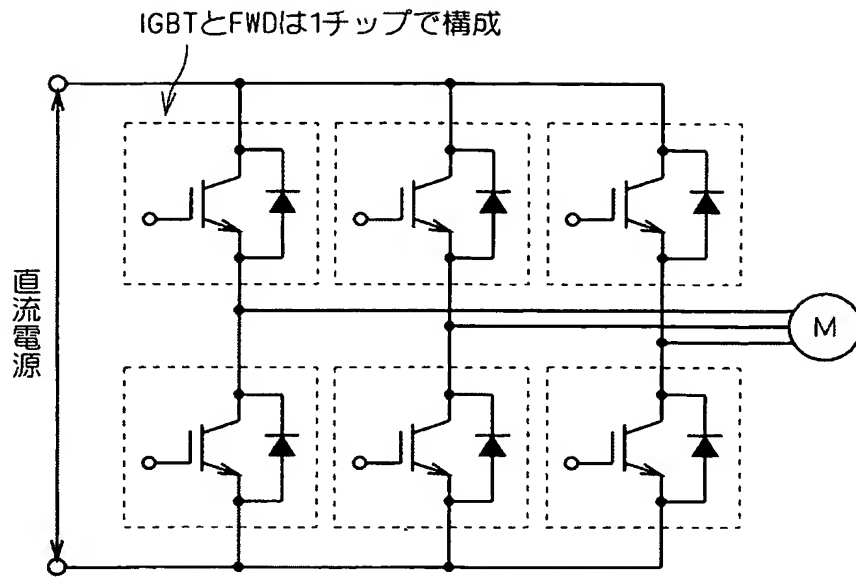
【図 52】本発明の各実施の形態における第 1 半導体層及び第 2 半導体層の平面的な乃至は 2 次元的な相互配置関係の具体例を示す平面図である。

【符号の説明】

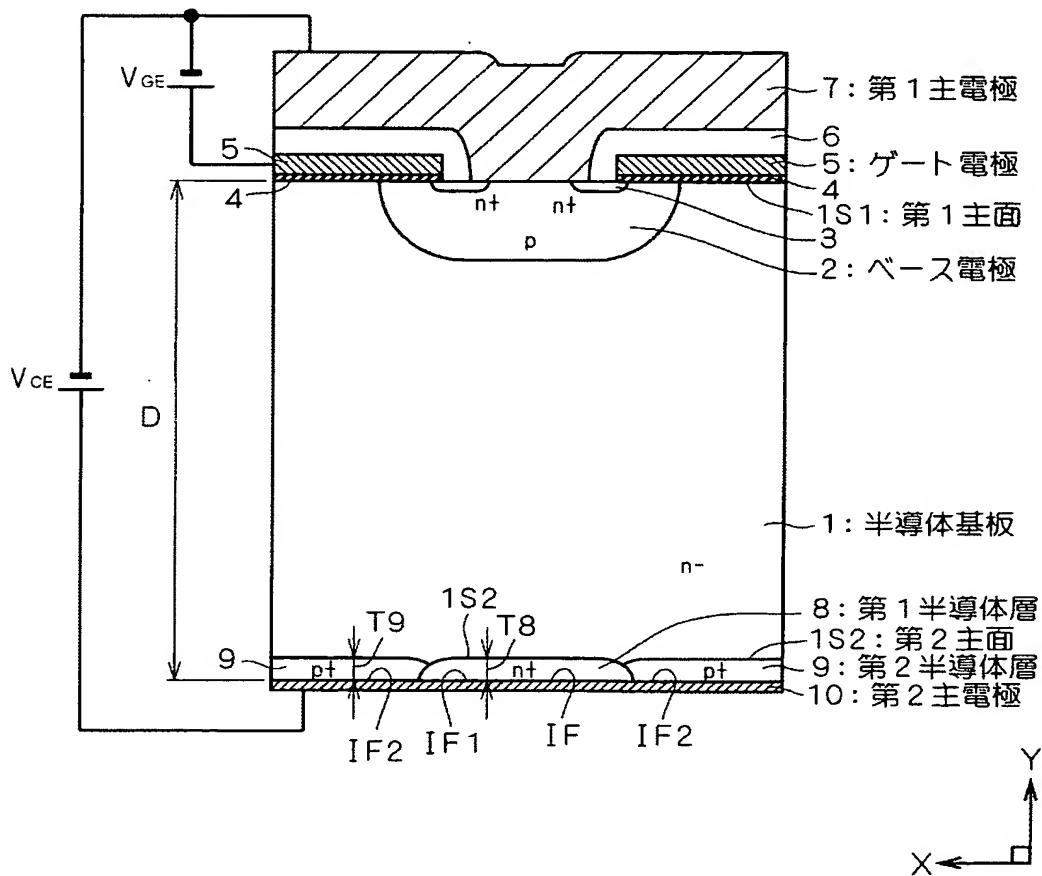
【0087】

1 N-基板、2 Pベース領域、3 エミッタ領域、4 ゲート絶縁膜、5 ゲート電極、6 層間絶縁膜、7 エミッタ電極、8 カソードN+層、9 コレクタP+層、10 コレクタ電極、1S1 第1主面、1S2 第2主面、IF 界面、IF1 第1界面、IF2 第2界面、X 幅方向、D ウエハ厚み（基板厚み）。

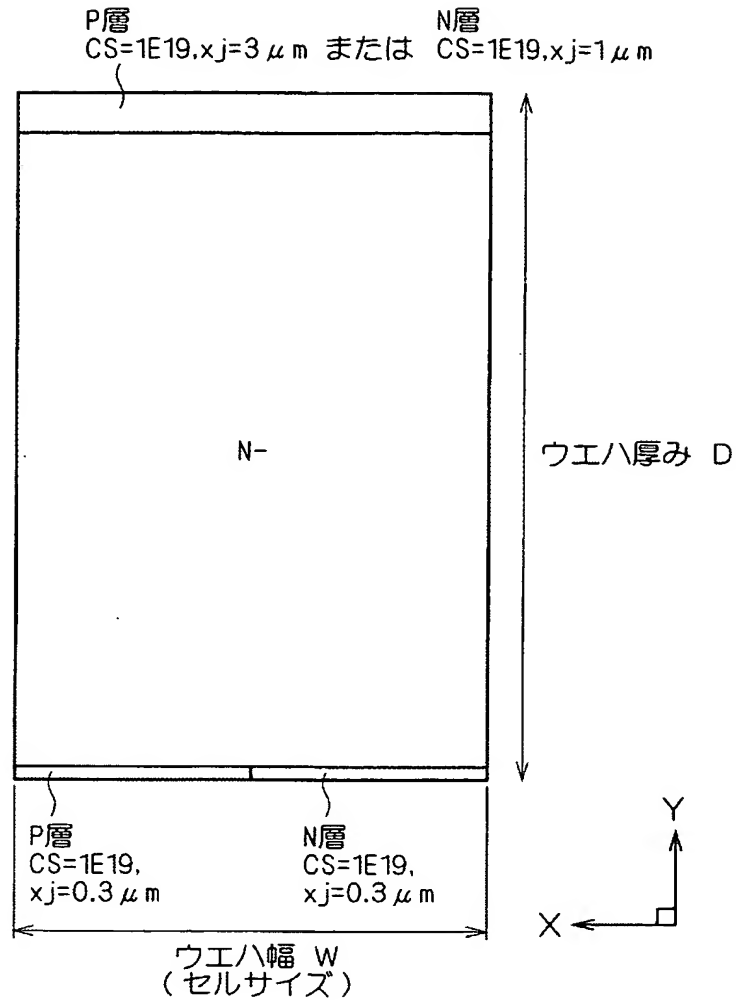
【書類名】 図面
【図 1】



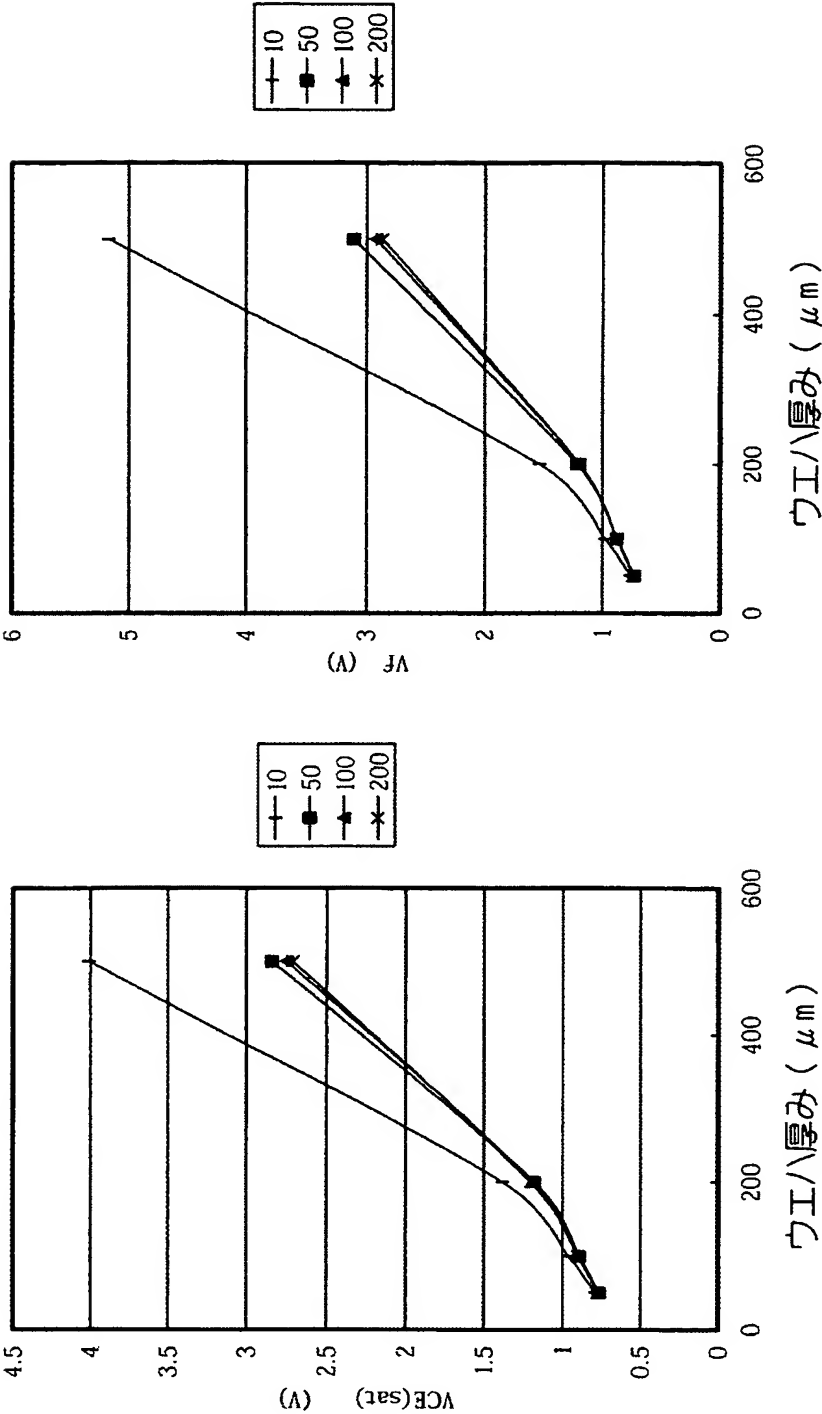
【図 2】



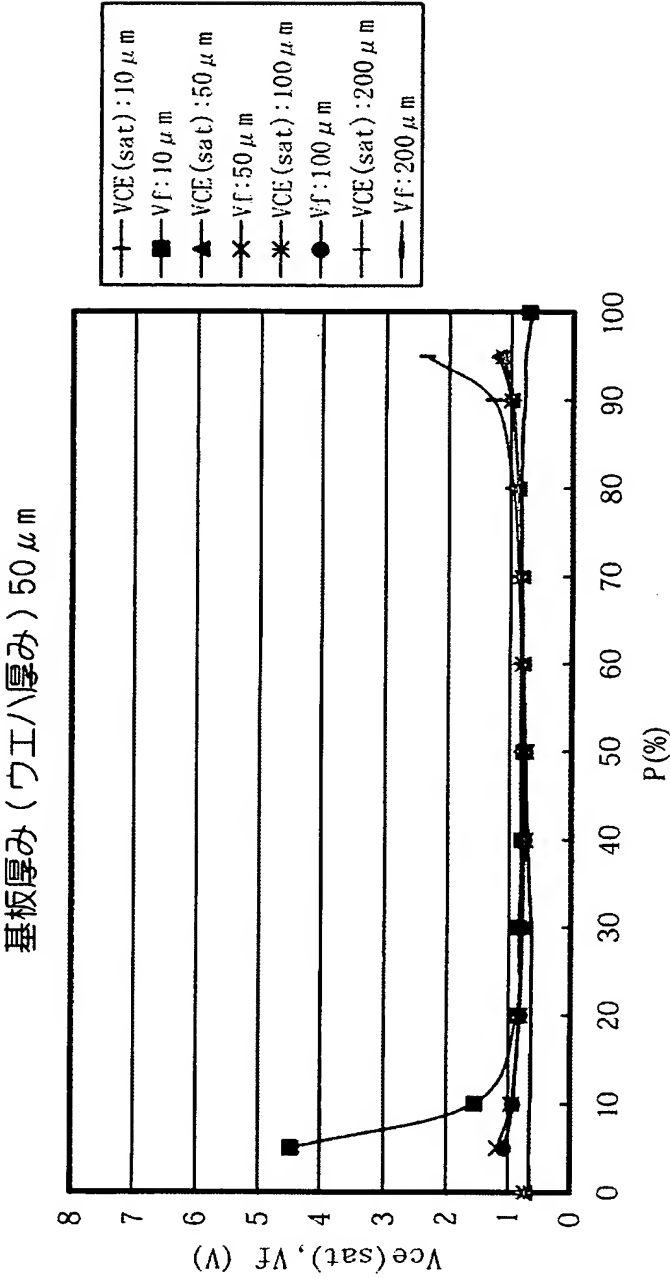
【図 3】



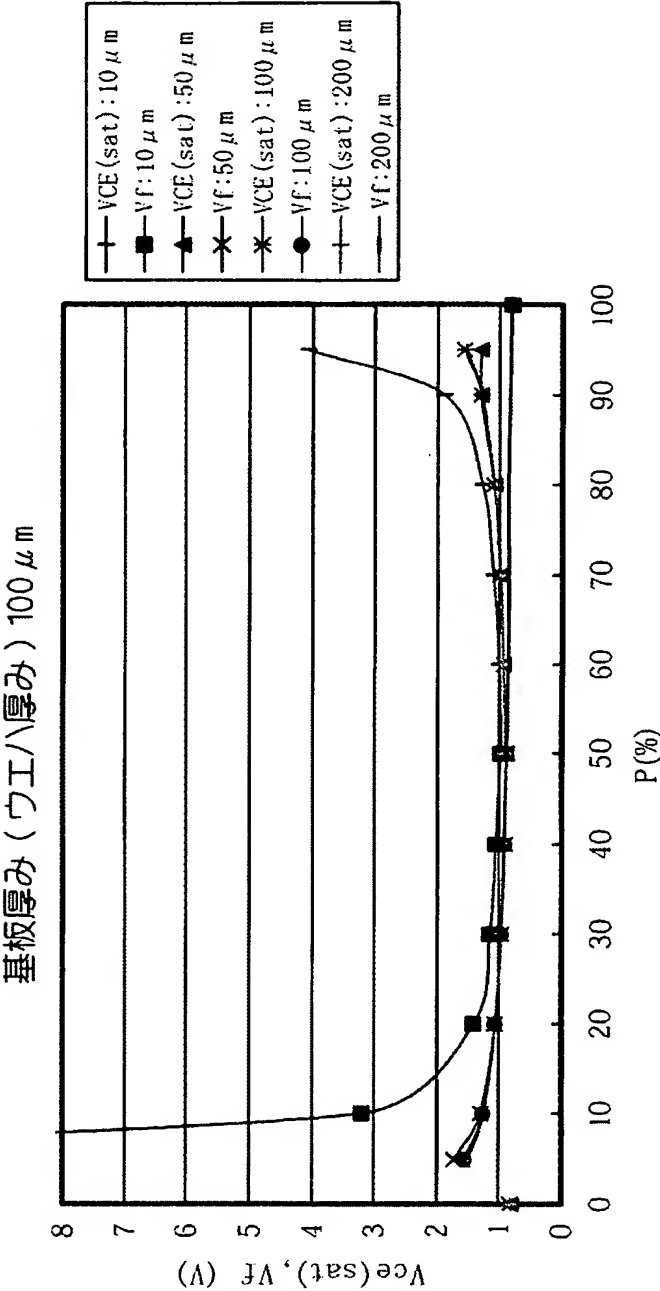
【図 4】



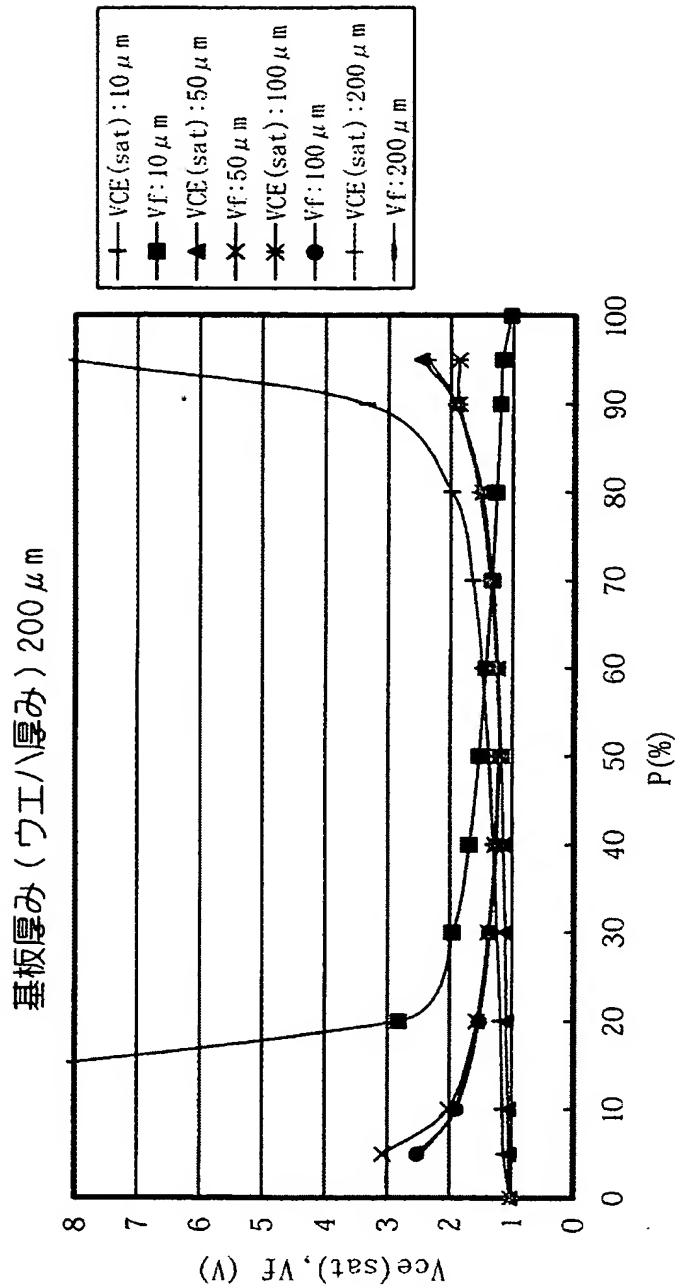
【図 5】



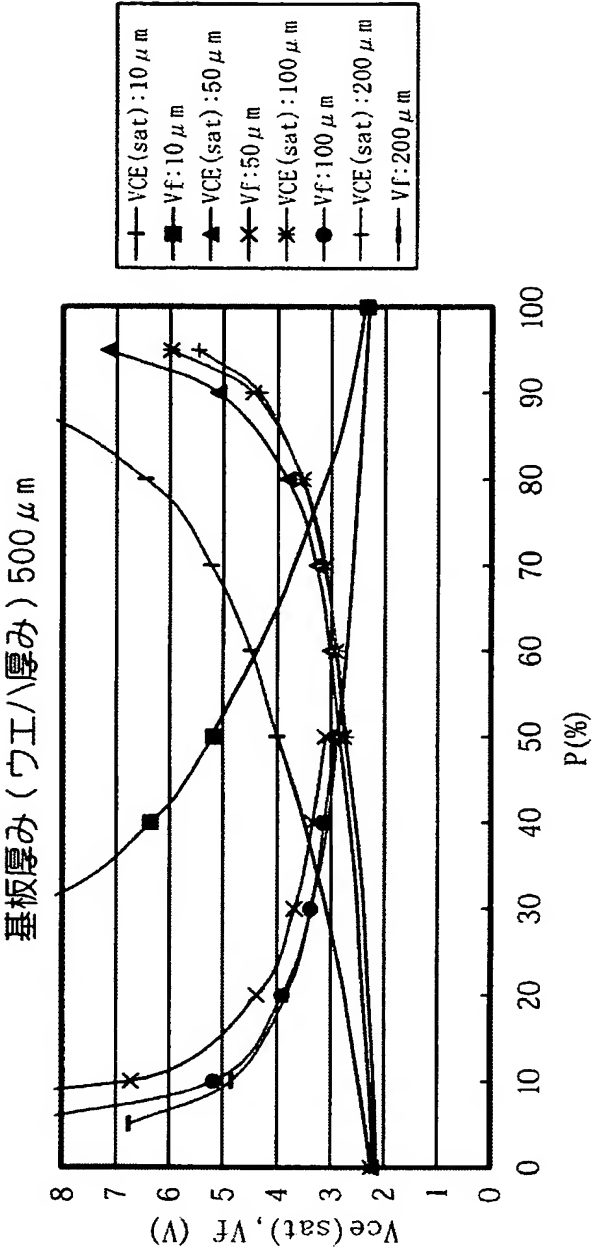
【図 6】



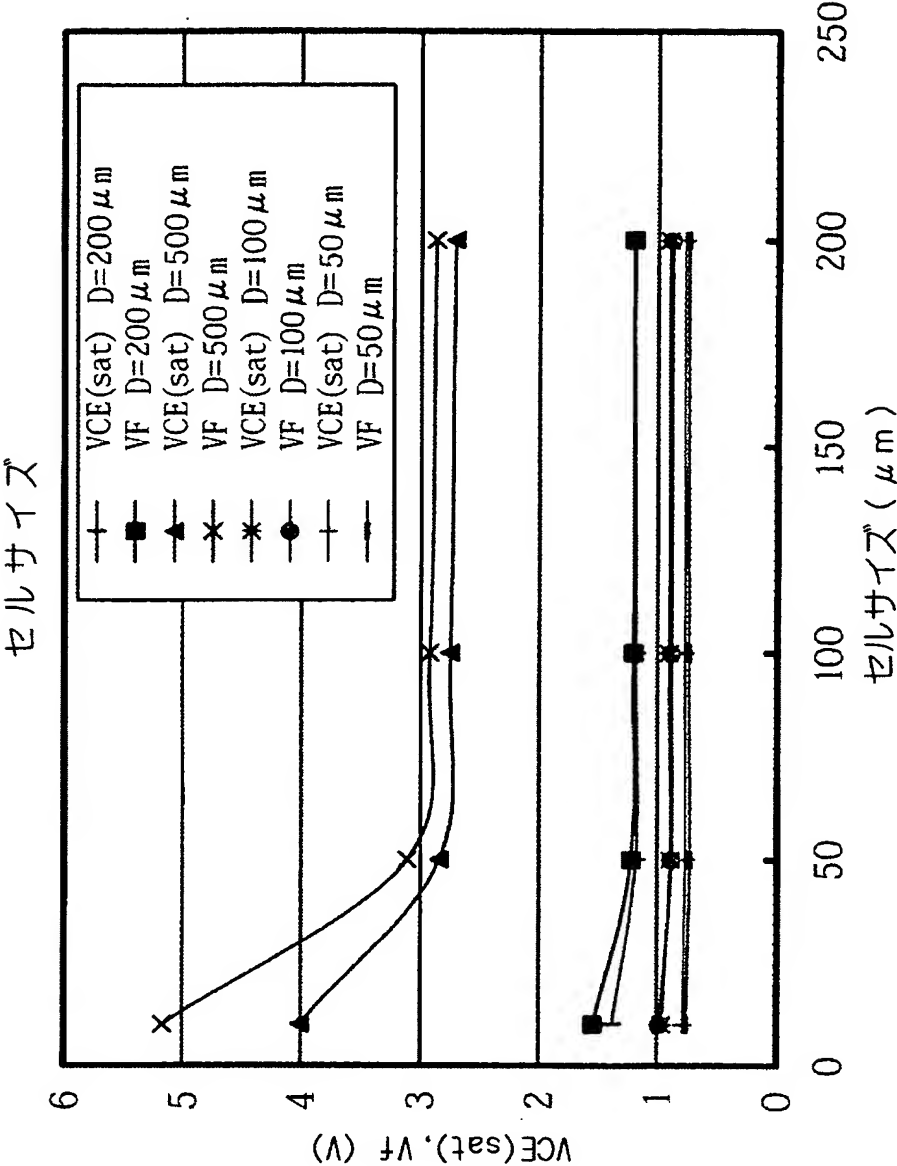
【図 7】



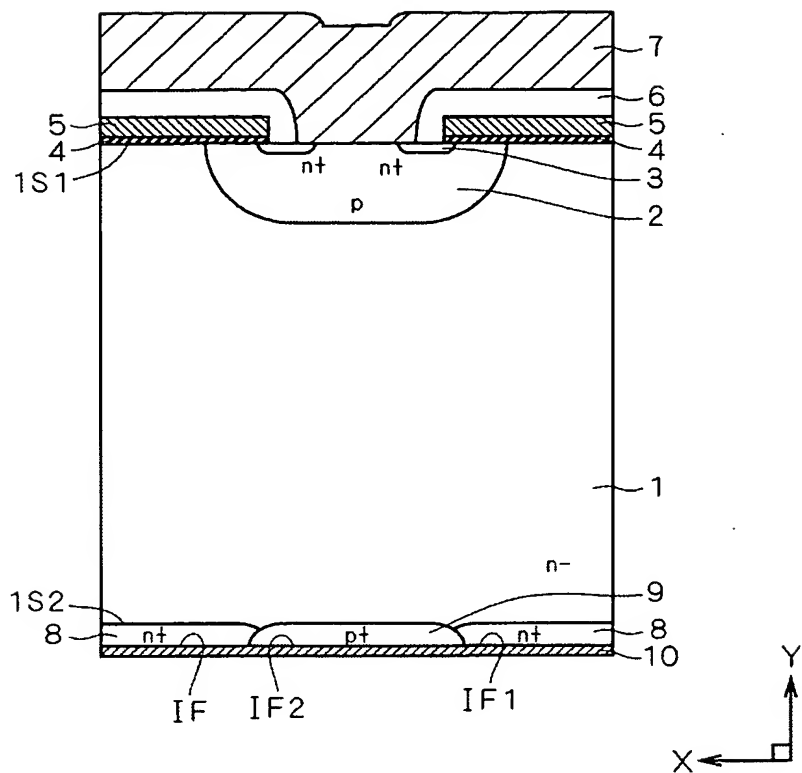
【図 8】



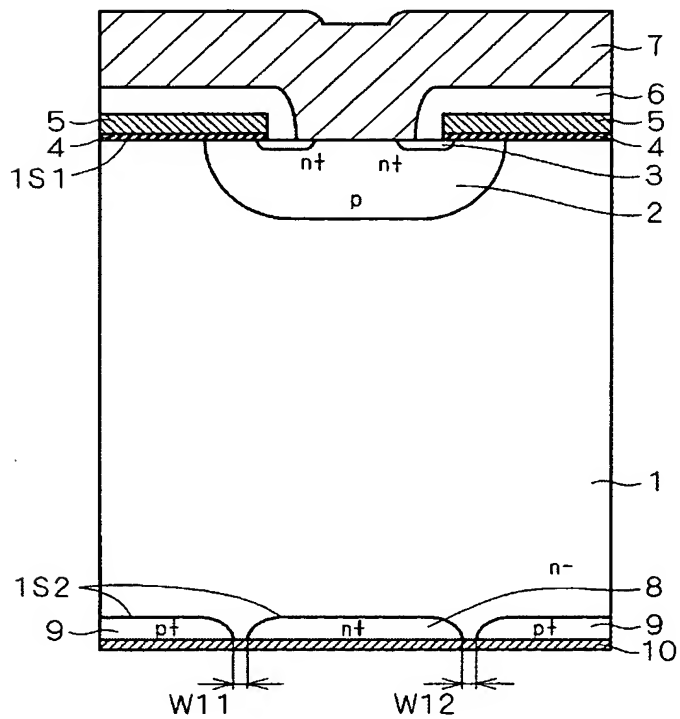
【図 9】



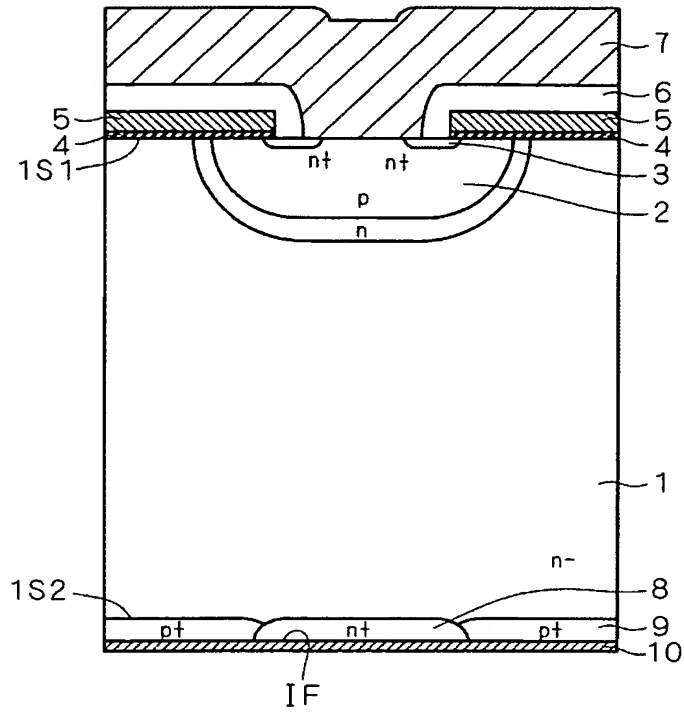
【図 10】



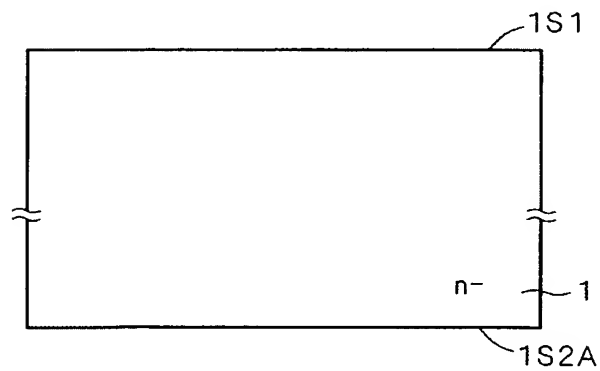
【図 1 1】



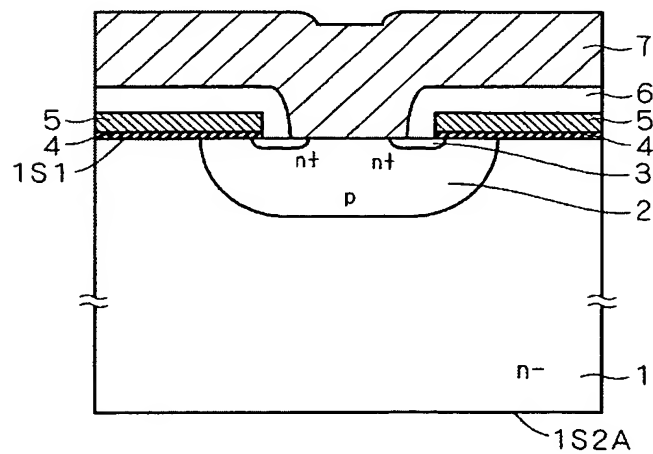
【図 14】



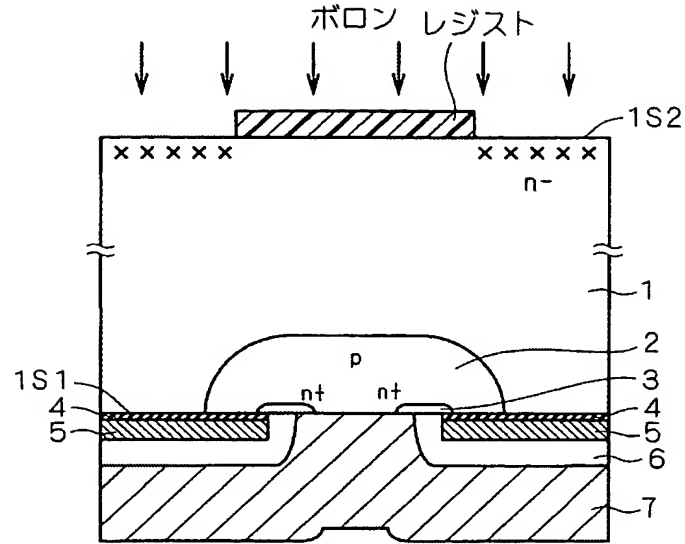
【図 15】



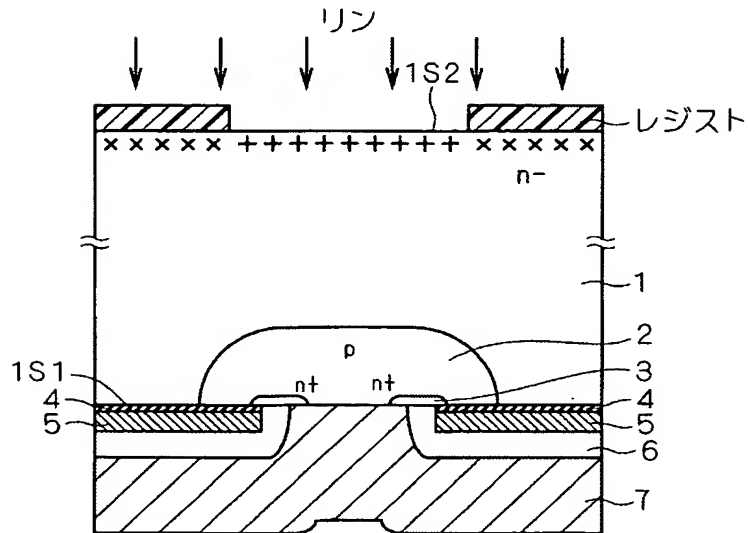
【図 16】



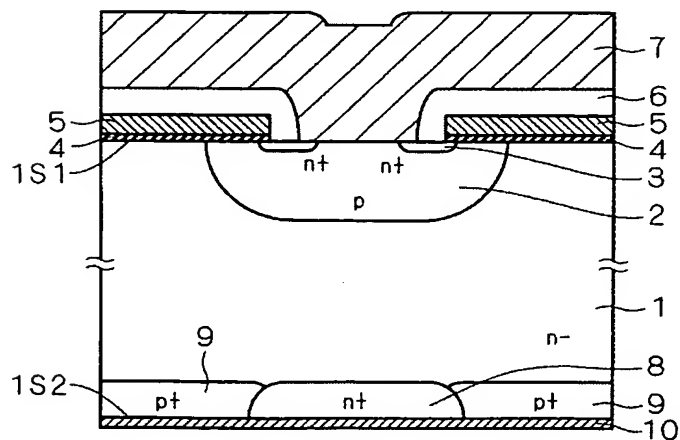
【図 17】



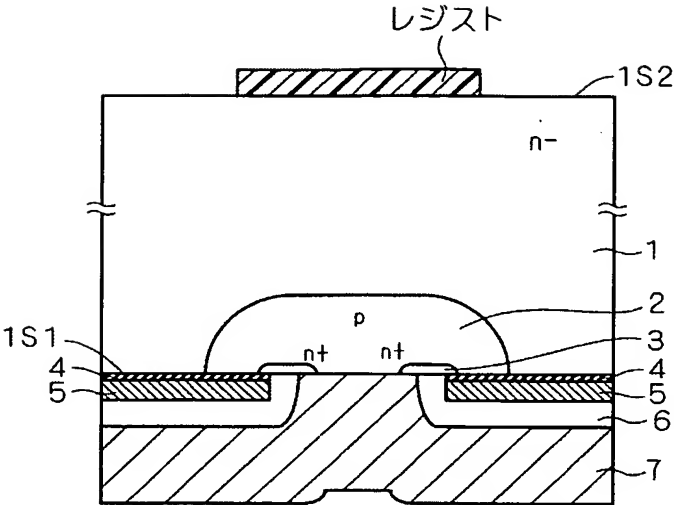
【図 18】



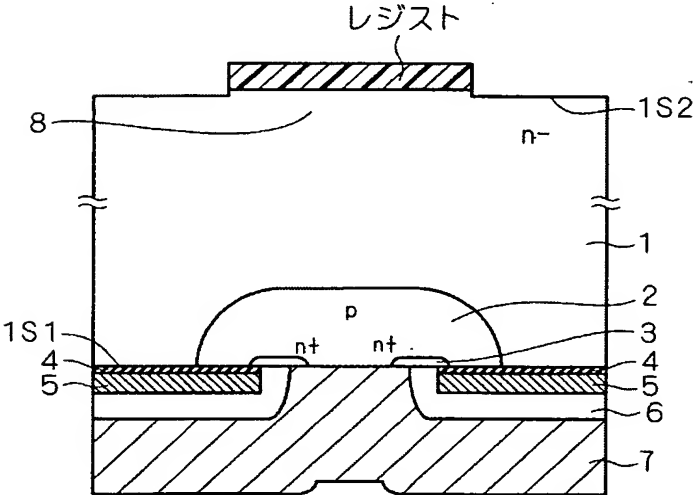
【図 19】



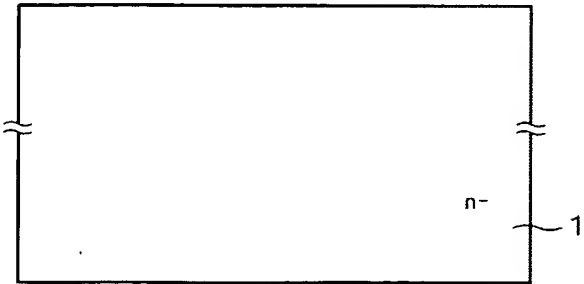
【図 20】



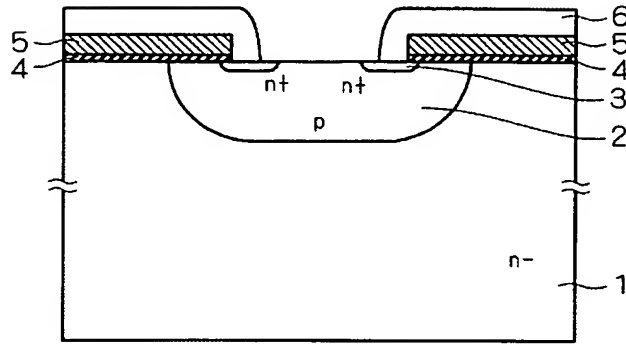
【図 21】



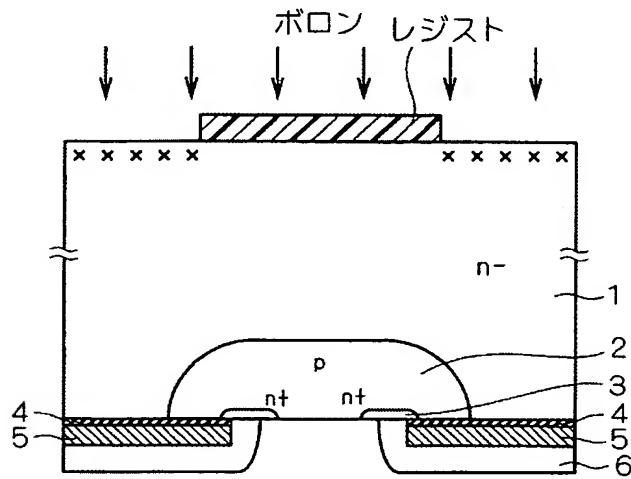
【図 22】



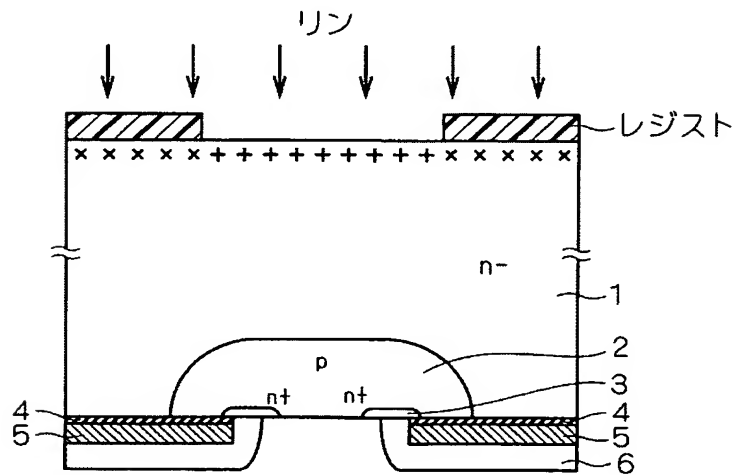
【図 23】



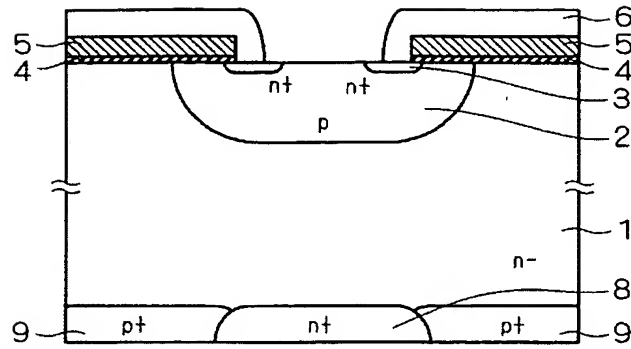
【図 24】



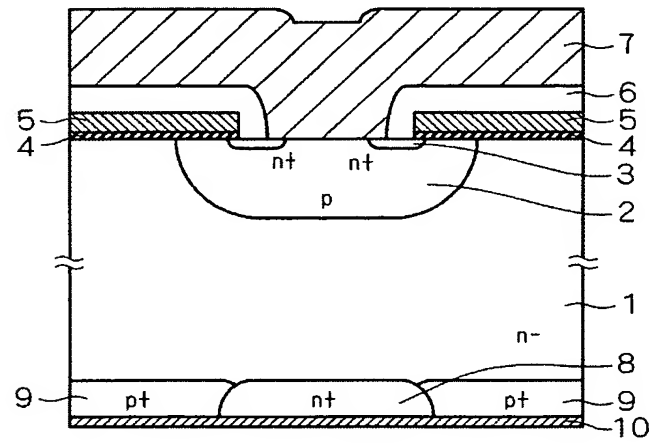
【図 25】



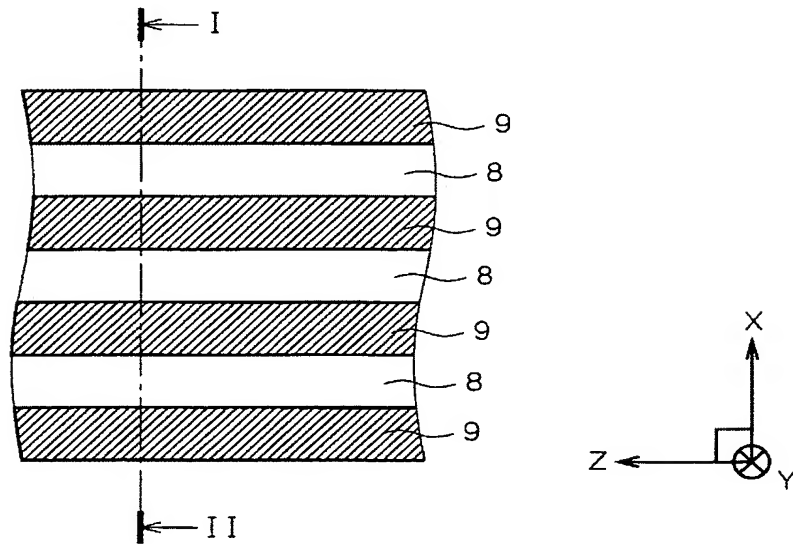
【図 26】



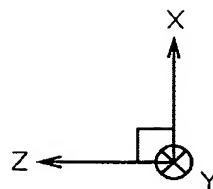
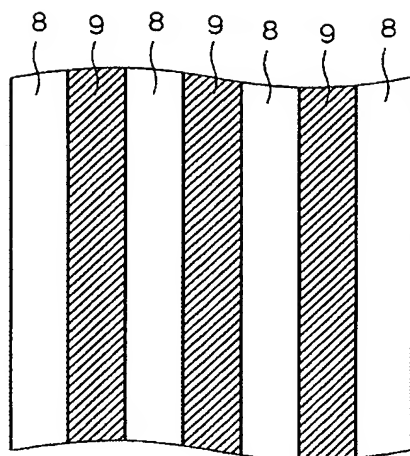
【図 27】



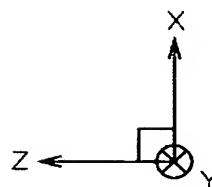
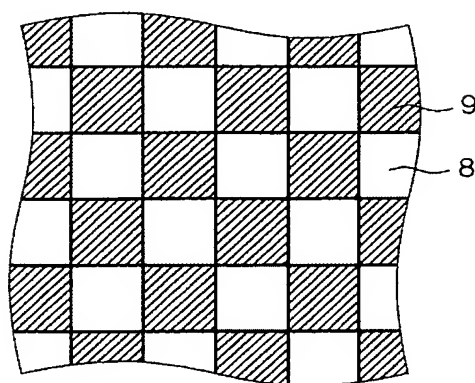
【図 28】



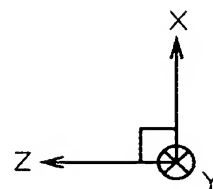
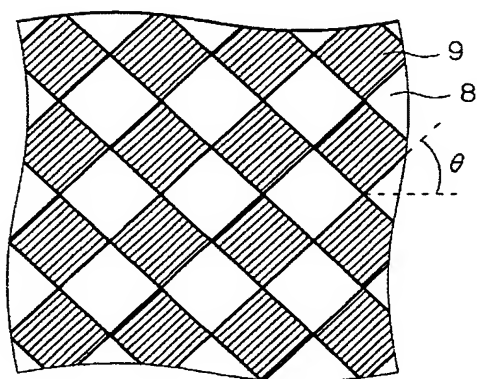
【図 29】



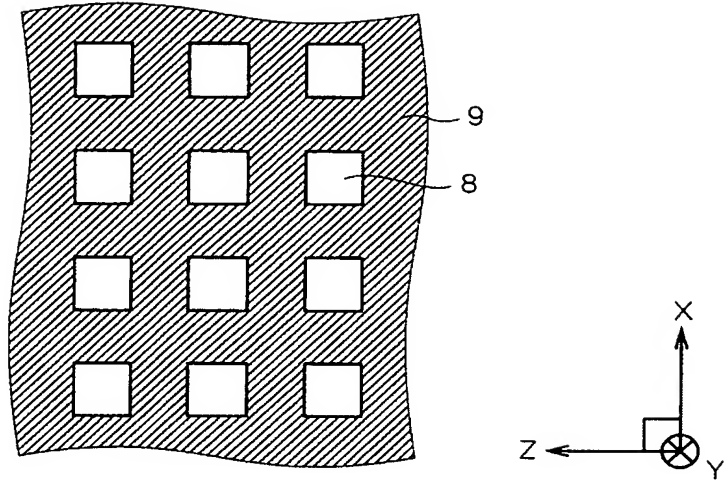
【図 30】



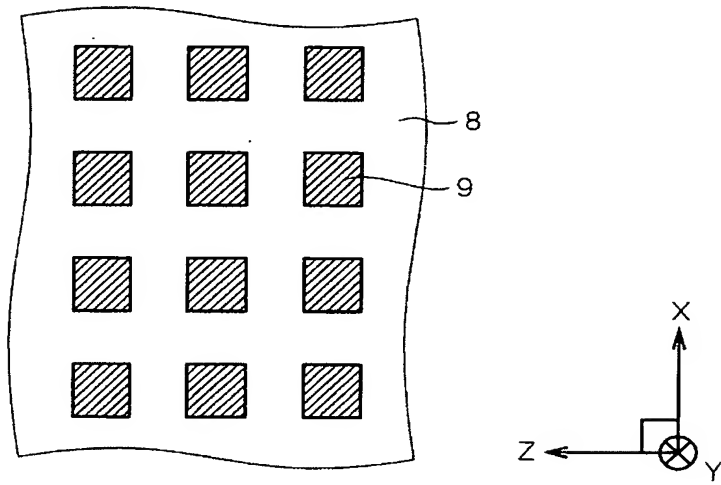
【図 31】



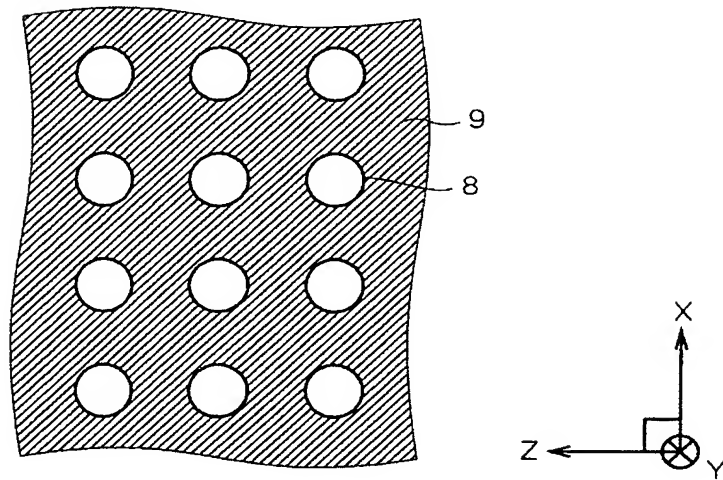
【図 3 2】



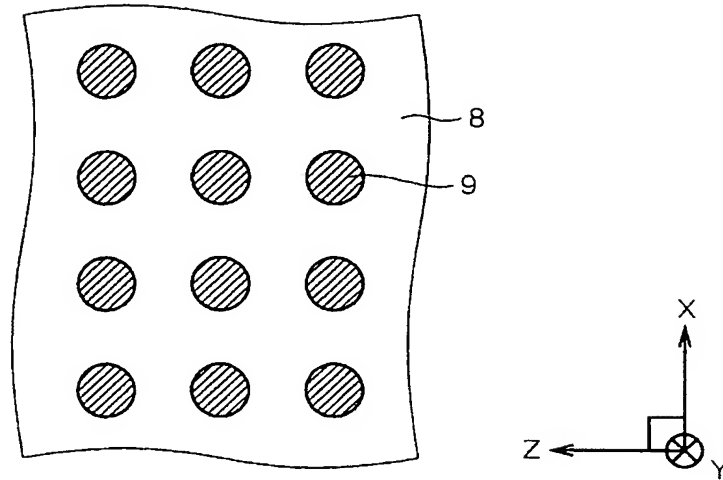
【図 3 3】



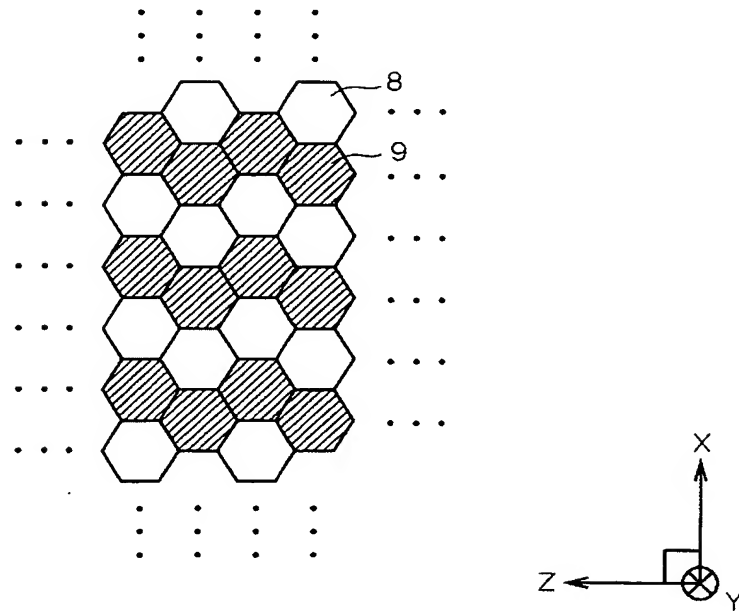
【図 3 4】



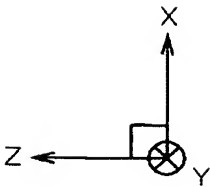
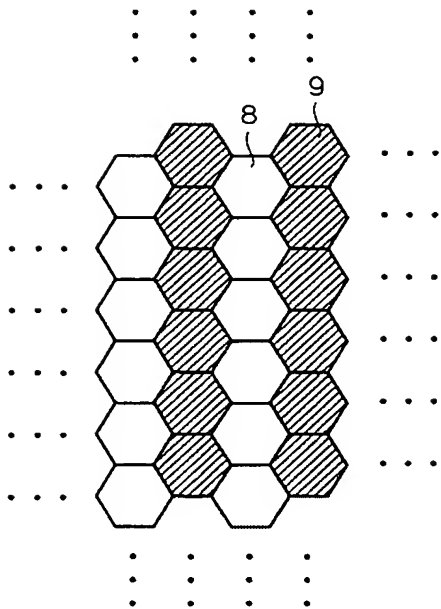
【図 3 5】



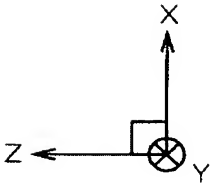
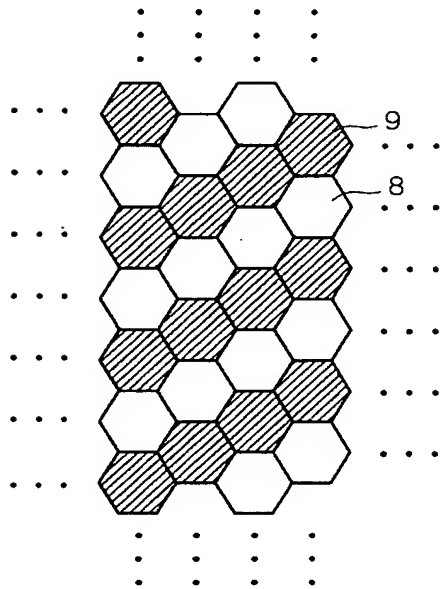
【図 3 6】



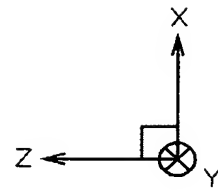
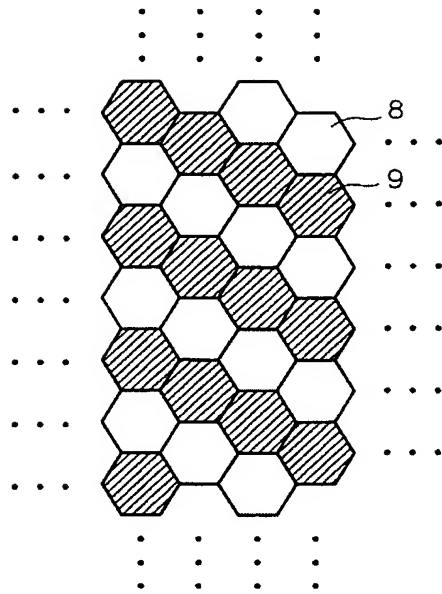
【図 37】



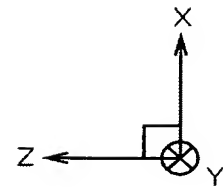
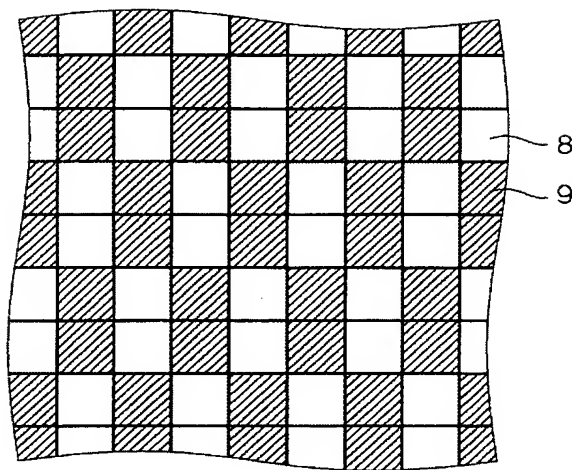
【図 38】



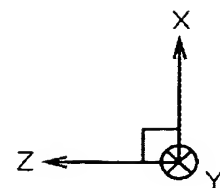
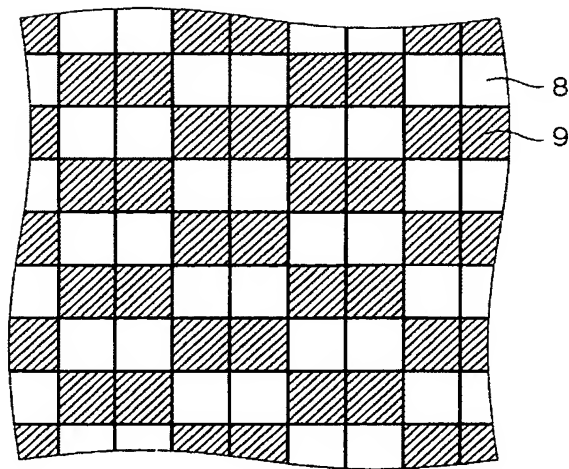
【図 39】



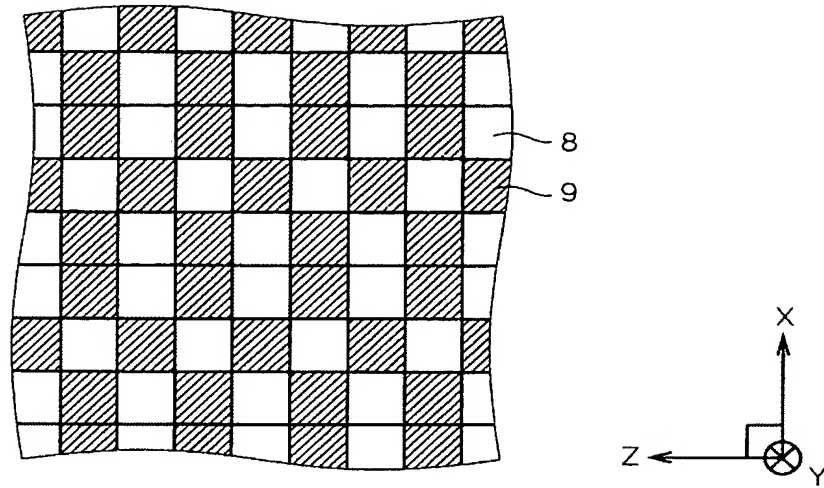
【図 40】



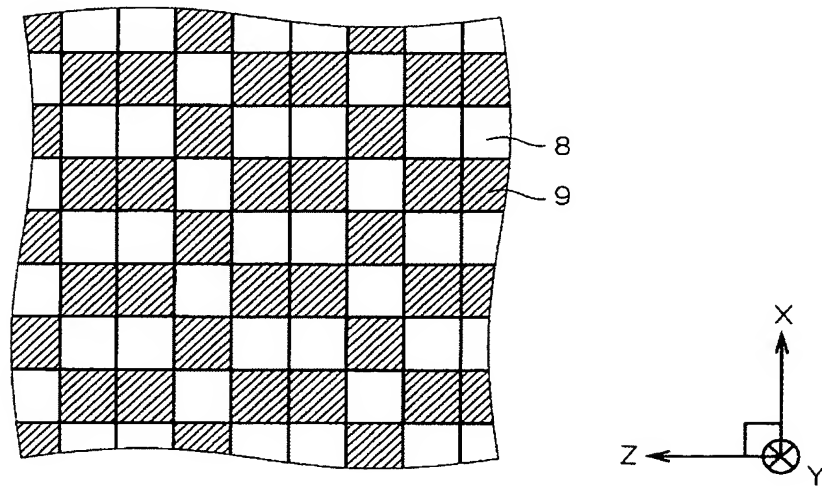
【図 41】



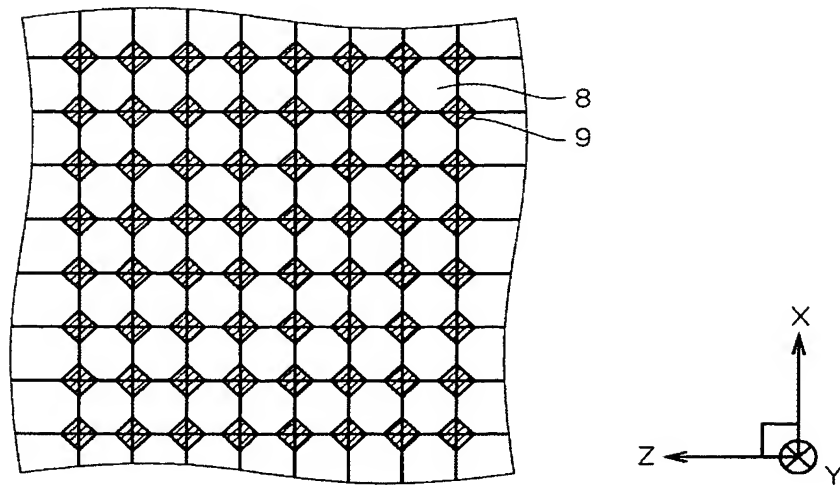
【図 4 2】



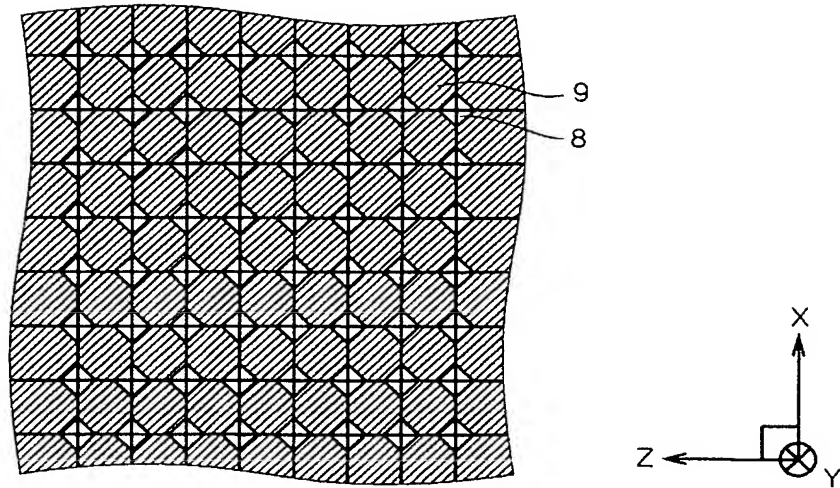
【図 4 3】



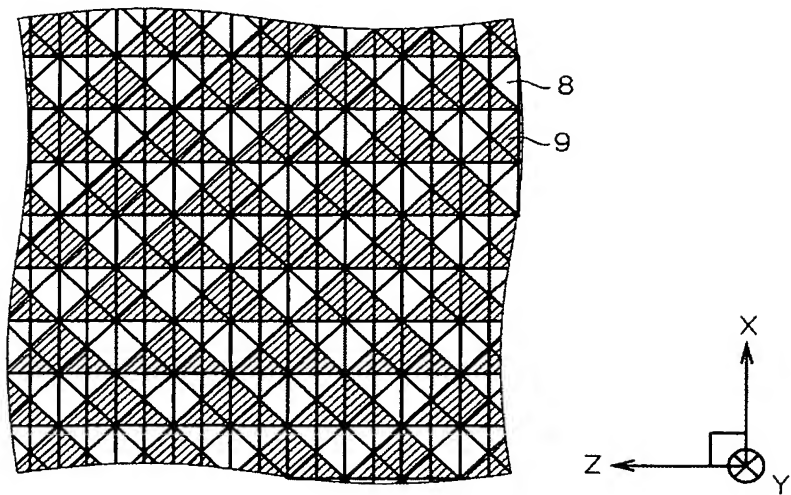
【図 4 4】



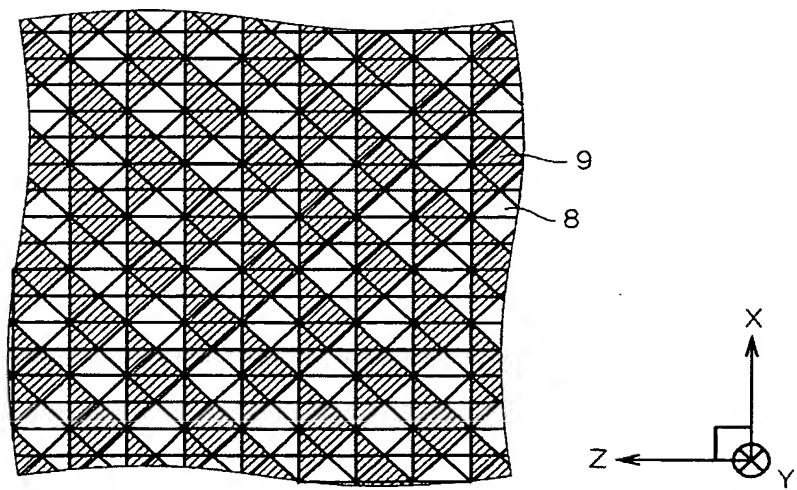
【図 4 5】



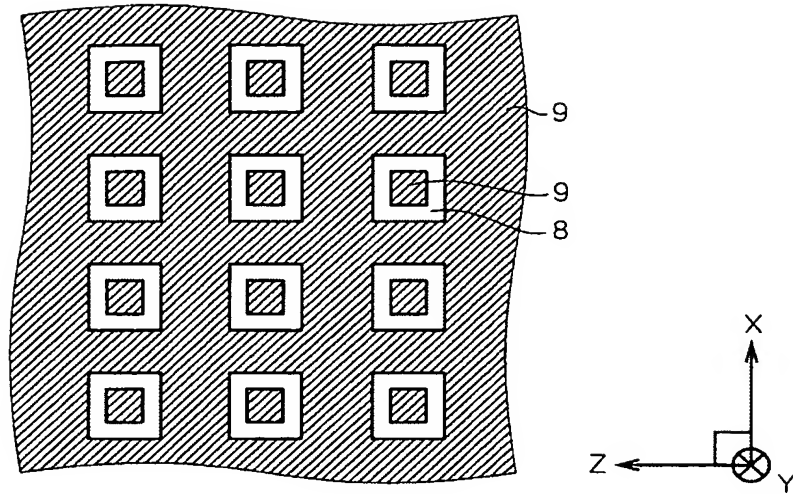
【図 4 6】



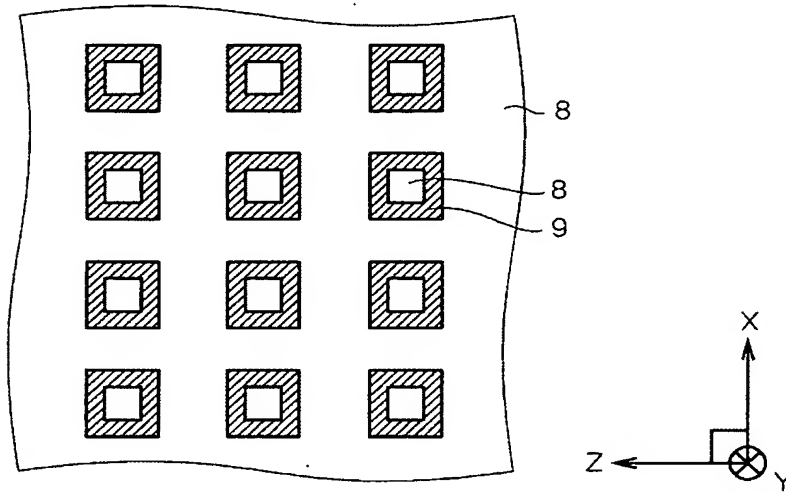
【図 4 7】



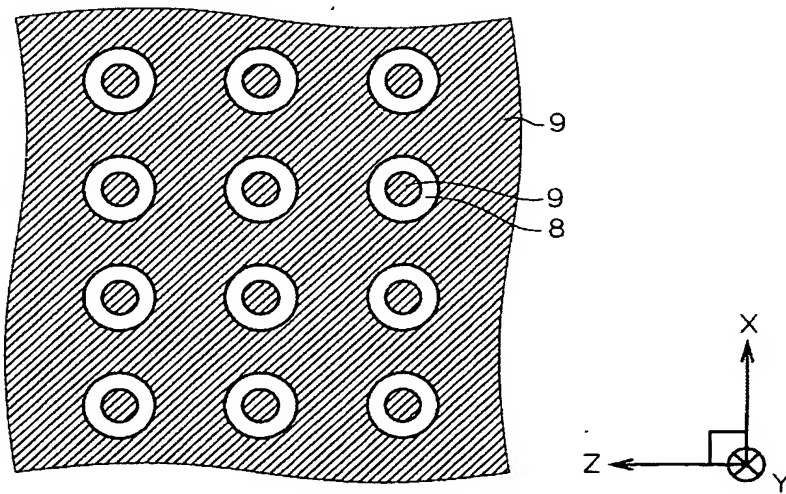
【図 48】



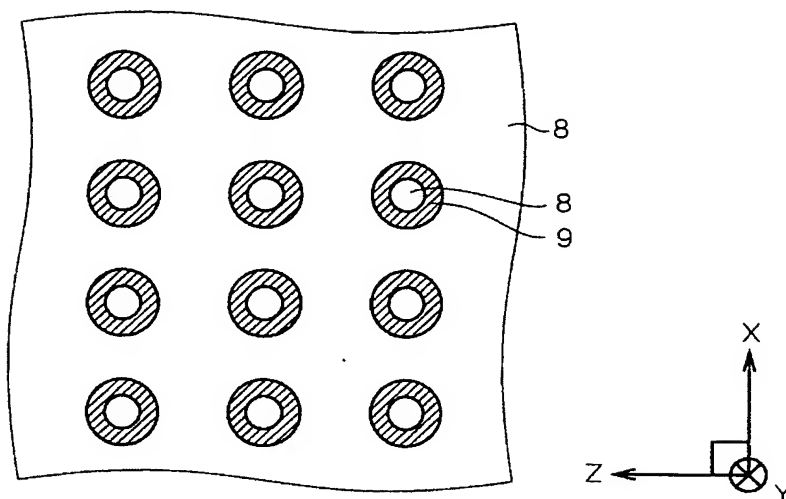
【図 49】



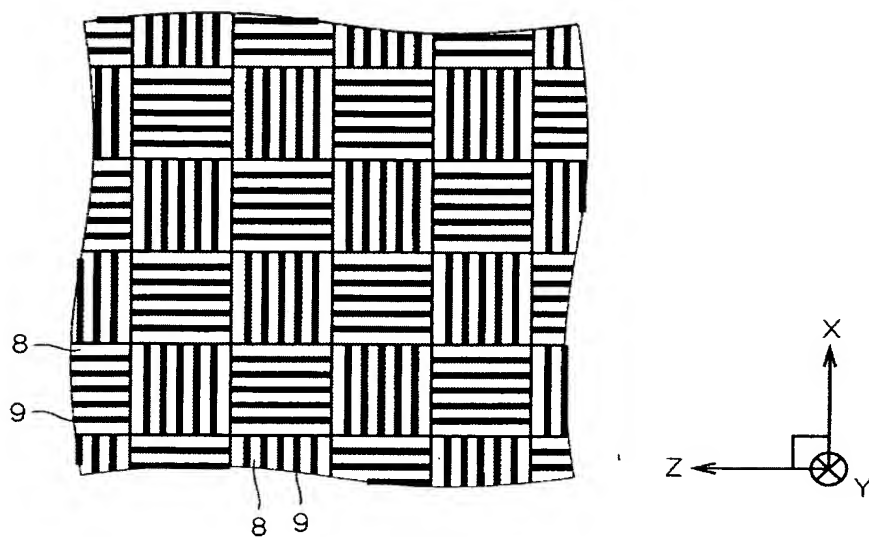
【図 50】



【図 5 1】



【図 5 2】



【書類名】要約書

【要約】

【課題】 I G B T とフリーホイールダイオードとを 1 チップ内に形成しても、I G B T 及びダイオードの両電気的特性（O N 電圧）を良好なものに制御する。

【解決手段】フリーホイールダイオード内蔵型 I G B T において、研磨後のウエハ厚み D を $200\mu\text{m}$ 以下とし、カソード N+ 層 8 の厚み T 8 及び P+ コレクタ層 9 の厚み T 9 を共に $2\mu\text{m}$ 以下に設定する。更に、幅方向 X に関するカソード N+ 層 8 及び P+ コレクタ層 9 の幅の和を、 $50\mu\text{m}$ 以上 $200\mu\text{m}$ 以下の範囲内に設定する。この場合、界面 I F 中、P+ コレクタ層 9 とコレクタ電極 1 0 との界面 I F 2 が占める割合は、3 0 % ~ 8 0 % の範囲内の値となる。

【選択図】図 2

認定・付加情報

特許出願の番号	特願 2 0 0 4 - 0 2 1 2 9 4
受付番号	5 0 4 0 0 1 4 8 1 4 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 6 年 2 月 3 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】

000006013

【住所又は居所】

東京都千代田区丸の内二丁目 2 番 3 号

【氏名又は名称】

三菱電機株式会社

【代理人】

申請人

【識別番号】

100089233

【住所又は居所】

大阪府中央区城見 1 丁目 4 番 7 0 号 住友生命 O
B P プラザビル 1 0 階 吉田・吉竹・有田特許事
務所

【氏名又は名称】

吉田 茂明

【選任した代理人】

【識別番号】

100088672

【住所又は居所】

大阪府中央区城見 1 丁目 4 番 7 0 号 住友生命 O
B P プラザビル 1 0 階 吉田・吉竹・有田特許事
務所

【氏名又は名称】

吉竹 英俊

【選任した代理人】

【識別番号】

100088845

【住所又は居所】

大阪府中央区城見 1 丁目 4 番 7 0 号 住友生命 O
B P プラザビル 1 0 階 吉田・吉竹・有田特許事
務所

【氏名又は名称】

有田 貴弘



特願 2 0 0 4 - 0 2 1 2 9 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社